

博士論文

準ミリ波・ミリ波領域における低位相雑音
電圧制御発振器の LC 共振器に関する研究

A Study of LC Resonators for Low-Phase-Noise Voltage-
Controlled Oscillators in Quasi-Millimeter and Millimeter
Wave

2018 年 3 月

板 野 由 佳

岡山県立大学大学院

情報系工学研究科

目次

第1章 高周波領域における LC 共振器に要求される性能	1
1-1 無線通信の発展とキャリア周波数の高周波化	1
1-2 準ミリ波・ミリ波領域における電圧制御発振器の位相雑音特性の劣化とその要因	6
1-3 LC 共振器の Q 値	12
1-4 集積回路上における LC 共振器を構成する素子の技術動向	14
1-4-1 バラクタの技術動向	14
1-4-2 キャパシタの技術動向	19
1-4-3 インダクタの技術動向	21
1-5 本論文の目的と構成	23
第2章 MOS バラクタ	26
2-1 MOS バラクタの Q 値	26
2-2 MOS バラクタのスケラブルモデル	29
2-3 MOS バラクタのレイアウト	31
2-4 テストチップの設計・試作と測定	33
2-5 Q 値の計算値と測定値	35
2-6 C-V カーブのスケラビリティ	36
2-7 レイアウトの多様性と SFC モデル	44
2-8 VCO の位相雑音	48
2-9 MOS バラクタのまとめ	51
第3章 MOM キャパシタ	53
3-1 MIM キャパシタと MOM キャパシタ	53
3-2 MOM キャパシタのスケラブルモデル	54
3-2-1 容量	56
3-2-2 寄生抵抗	56
3-2-3 寄生インダクタンス	57
3-2-4 基板ネットワーク	58
3-3 モデル検証	60

3-3-1 容量	61
3-3-2 寄生抵抗	63
3-3-3 寄生インダクタンス	65
3-3-4 基板容量と基板抵抗	66
3-3-5 レイアウトの最適化	68
3-4 MOM キャパシタのまとめ	70

第4章 インダクタ..... **71**

4-1 オンチップインダクタの Q 値の周波数特性	71
4-2 準ミリ波・ミリ波領域における Q 値の劣化	72
4-3 ストライプ構造インダクタ.....	76
4-4 ストライプ構造インダクタおよび VCO の検証	79
4-4-1 ストライプ構造インダクタの検証.....	79
4-4-2 ストライプ構造インダクタを用いた VCO の位相雑音.....	83
4-5 ストライプ構造インダクタのまとめ	88

第5章 研究のまとめと今後の展望..... **89**

5-1 研究のまとめ.....	89
5-2 今後の研究の展望.....	93

参考文献..... **95**

略語リスト..... **123**

論文・業績リスト..... **124**

謝辞

第 1 章 高周波領域における LC 共振器に要求される性能

1.1 無線通信の発展とキャリア周波数の高周波化

近年、我々の生活は携帯電話、無線 LAN 等を用いた無線通信に囲まれている。例えば、スマートフォンやタブレット PC においては、写真や動画データは無線通信を用いてクラウドへ自動保存される。クラウドとはオンライン上のストレージのことで、容量に制限はあるが、多くの場合、無料で使用することができる。数年前までは同様の事を携帯端末に搭載した SD カード等のローカルストレージに保存することが主流であったことを考えると、その利便性は非常に高くなっている。また、携帯電話等に保存してある写真や電話番号等のデータは、同じようにローカルストレージに書き出して保存しておかないと、端末の急な故障とともに失う事も多かったが、現在ではクラウドに保存したデータを用いて、自動的に故障前の環境を復元することができるので、端末を移行する際も注意する必要はなくなり、携帯ショップへ駆け込む回数も以前に比べて減ってきている。さらに、データを圧縮してメールに添付しても容量オーバーで送れなかったような動画データも、クラウド環境の共有アプリの登場によって日常的に簡単に老若男女を問わずアップロード・ダウンロードを行うことが可能となっている。

このような無線通信の発展について、携帯電話を例として図 1-1 に示す[1-2]。携帯電話が最初に登場したのは 1985 年のことであり、第一世代携帯電話と呼ばれ、アナログ変調方式であり専ら通常の電話（音声会話用）として用いられていた。しかしながらアナログ変調方式では、会話の内容を容易に傍受できてしまうため、1993 年にはデジタル変調方式を採用した第二世代携帯電話が登場した。第二世代携帯電話は日本では PDC（Personal Digital Cellular）、欧米では GSM（Global System for Mobile communications）という方式の違いがあったため、日本の端末を海外に持っていても使用できない状況であった。その一方、PDC

には世界で初めて携帯電話で IP 接続してメールのやりとりができる i-mode が導入されたが、通信方式の違いのため、グローバルなアプリケーションとはなり得ず、世界共通の IMT-2000 (International Mobile Telecommunication 2000) 規格を導入した第三代携帯電話である WCDMA (Wideband Code Division Multiple Access) 方式が 2001 年から運用された。日本では NTT ドコモの運用する FOMA (Freedom Of Mobile multimedia Access) がそれである。WCDMA 方式は通信速度の大きな向上が図られ、更にこの頃から無線通信用 LSI を CMOS プロセスで実現できるようになり、価格も低下したため広く受け入れられた[3]。更に第三代携帯電話のオプションとして HSDPA (High Speed Downlink Packet Access)、HSUPA (High Speed Uplink Packet Access)、LTE (Long Term Evolution) 等も導入され、iPhone に代表されるスマートフォンが発展したため、Facebook、Twitter、Line などのアプリケーションが発展し、YouTube のような動画配信も盛んとなった。この時期に、日本における携帯電話の出荷台数は人口と同じ 1 億 3 千万台に達した。

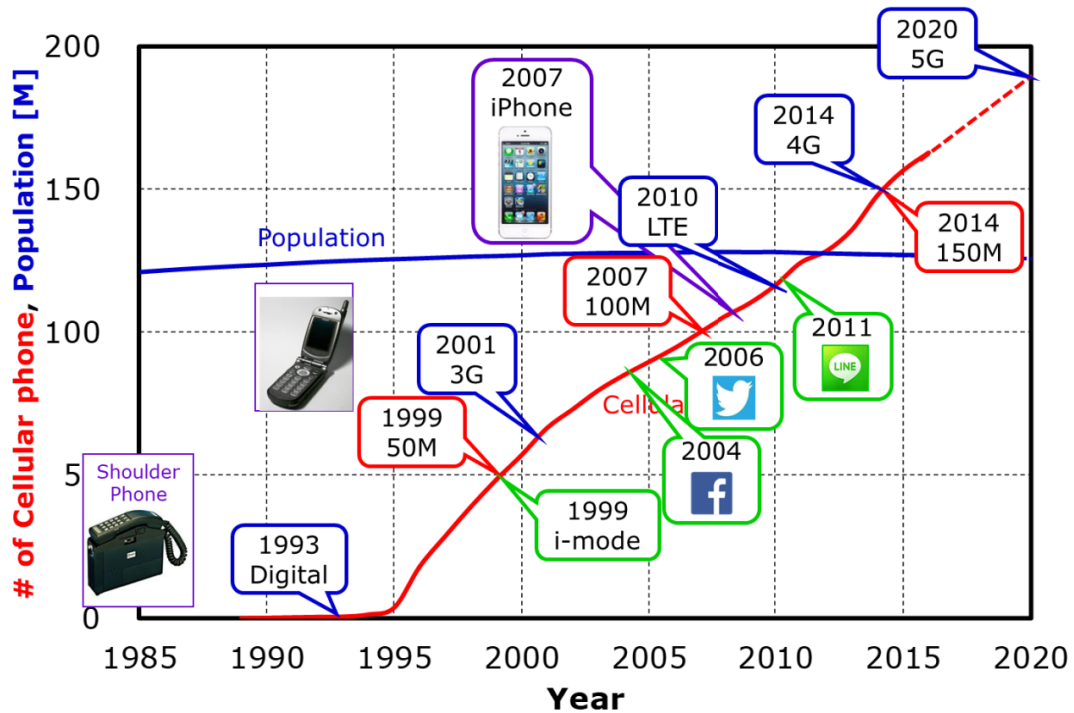


図 1-1 日本における近年の人口と携帯電話の台数・技術・アプリケーションの推移

しかしながら、多くのデータを多くの人が通信することにより、通信のトラフィックが飽和してきてきたこともあり、それを打破するために 2014 年に第四世代携帯電話である LTE-Advanced が運用開始された。将来的には 2020 年の東京オリンピックの年に、第五世代携帯電話が運用開始される見込みとなっている。

このように、携帯電話のみならず、無線通信の少なくとも今までの発展は、どのようにデータレートを向上させるか、ということが主眼におかれてきた。

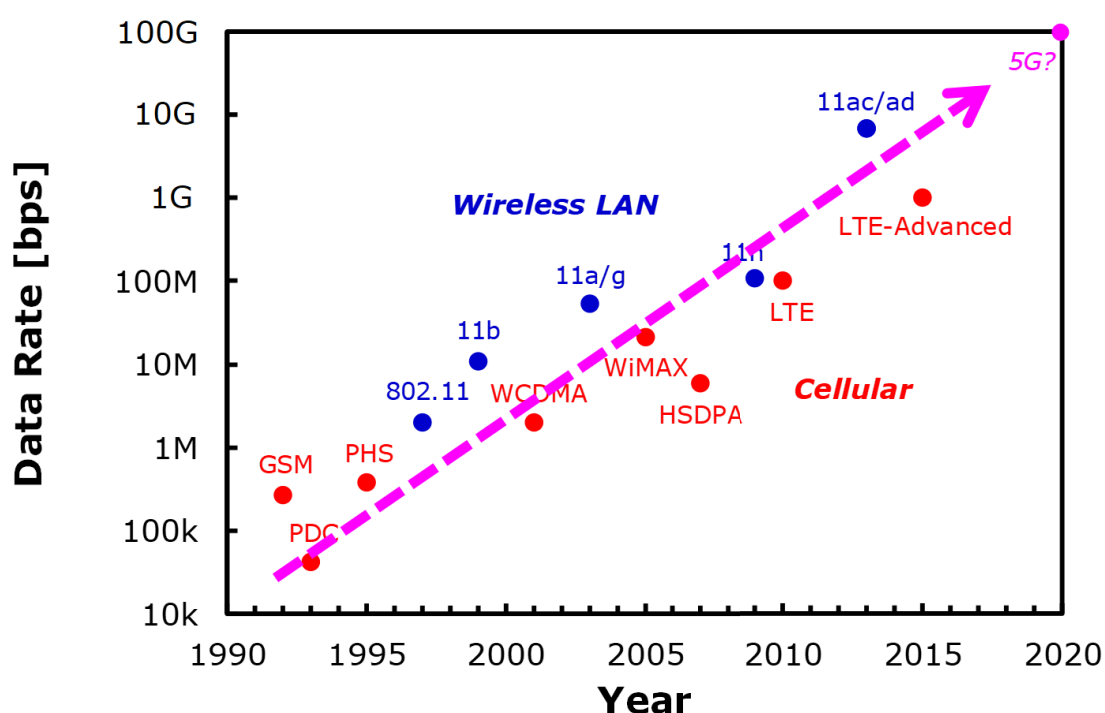


図 1-2 無線通信のデータレートの推移

図 1-2 に示すように無線通信のデータレートは携帯電話、無線 LAN (Local Area Network)、WiMAX (Worldwide Interoperability for Microwave Access) 共に年々高速化しており、1990 年代の第二世代携帯電話である、PDC、GSM の頃は 100kbps 程度であったデータレートが、現在の第四世代携帯電話 (LTE-Advanced) では、キャリア・アグリゲーション (Carrier Aggregation) [4]等も導入され 1Gbps にも達している。将来的には 2020 年、東京オリンピックの年には、第五世代携帯電話により 100Gbps に達すると予想されている。また、一方の WiMAX、WLAN も新しい規格によりチップ開発も進展し[5-6]、高データレート化が進んで

いる。

このような通信のデータレートを向上させるには何が必要であろうか。式 (1-1) に示した Shannon-Hartley の定理[7]によるとデータレート (C) はバンド幅 (B)、シグナルパワー (S)、ノイズパワー (N) で表すことができる。

$$C = B \log_2 \left(1 + \frac{S}{N} \right) = B \log_2 \left(1 + \frac{S}{kTB} \right) \quad (1-1)$$

つまり、基本的にバンド幅を広帯域とすることがデータレートを上げることに繋がる。そして、バンド幅を広帯域化するには、無論、変調方式によっても異なるが、基本的にはキャリアの周波数を高くする[8]ことで実現できる。

図 1-3 ではバンド幅とキャリア周波数の関係を示しており、QPSK (Quadrature Phase Shift Keying)、64QAM (64 Quadrature Amplitude Modulation) において、それぞれのバンド幅を得るのに必要なキャリア周波数の下限を示している。つまり、100MHz バンド幅を QPSK で得ようとする、最低 10GHz 程度のキャリア周波数が必要なのに対して 64QAM ならば数百 MHz で可能ということになるが、逆に 2GHz 程度のバンド幅を得ようとする、64QAM を用いても 20GHz 程度のキャリア周波数が必要となることがわかる。

一方、受信信号強度とデータレートの関係は図 1-4 のように示される。信号強度が低いときは受信器の雑音、信号強度の高い時は受信器の線形性によりデータレートは決まり、中域の信号強度の時は電圧制御発振器 (Voltage Controlled Oscillator, VCO) の位相雑音が支配的となる。したがって、無線通信の受信器には、雑音指数 (Noise Figure, NF) が低く、線形性 (Linearity) が高く、ローカル発振器の位相雑音 (Phase Noise) が低い事が求められる。

以上のように無線通信において高いデータレートを得ようとする、広帯域なバンド幅を得るためにキャリア周波数の高周波化が必要となり、その場合、位相雑音が受信器の性能にとって大きな因子となるため、高周波領域における低位相雑音の VCO の実現が必要となる。

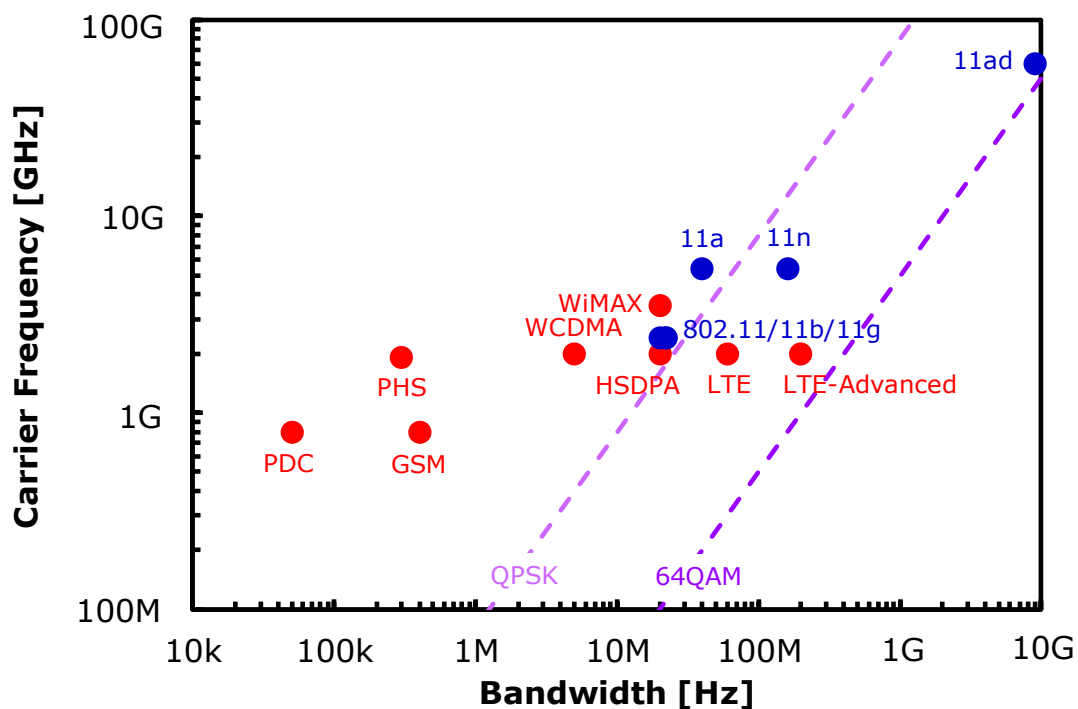


図 1-3 バンド幅によるキャリア周波数の推移

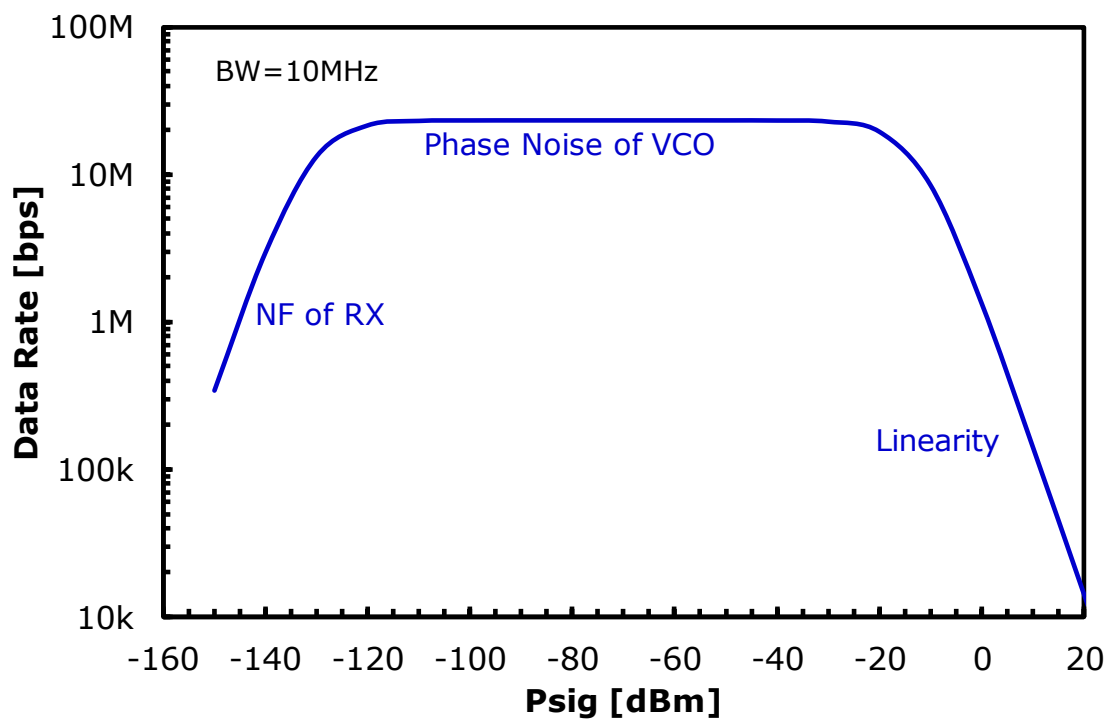


図 1-4 データレートと信号強度

1.2 準ミリ波・ミリ波領域における電圧制御発振器の位相雑音特性の劣化とその要因

高周波領域において低位相雑音 VCO を実現するために、位相雑音の周波数特性等について考える。発振器の発振周波数と位相雑音の関係は広く知られており、それは Leeson の位相雑音式 (1-2) で与えられる[9]。

$$L(\Delta f) = \frac{2FkT}{P_{osc}} \left\{ 1 + \left(\frac{f_{osc}}{2\Delta fQ} \right)^2 \right\} \left(1 + \frac{f_c}{\Delta f} \right) \quad (1-2)$$

ここで Δf はキャリア周波数からのオフセット周波数 (Offset Frequency)、 k はボルツマン定数、 T は絶対温度、 F は VCO 回路の雑音指数、 P_{osc} は VCO の発振電力、 Q は LC タンク回路の Q 値、 f_c は VCO 回路におけるフリッカ雑音のコーナー周波数である。

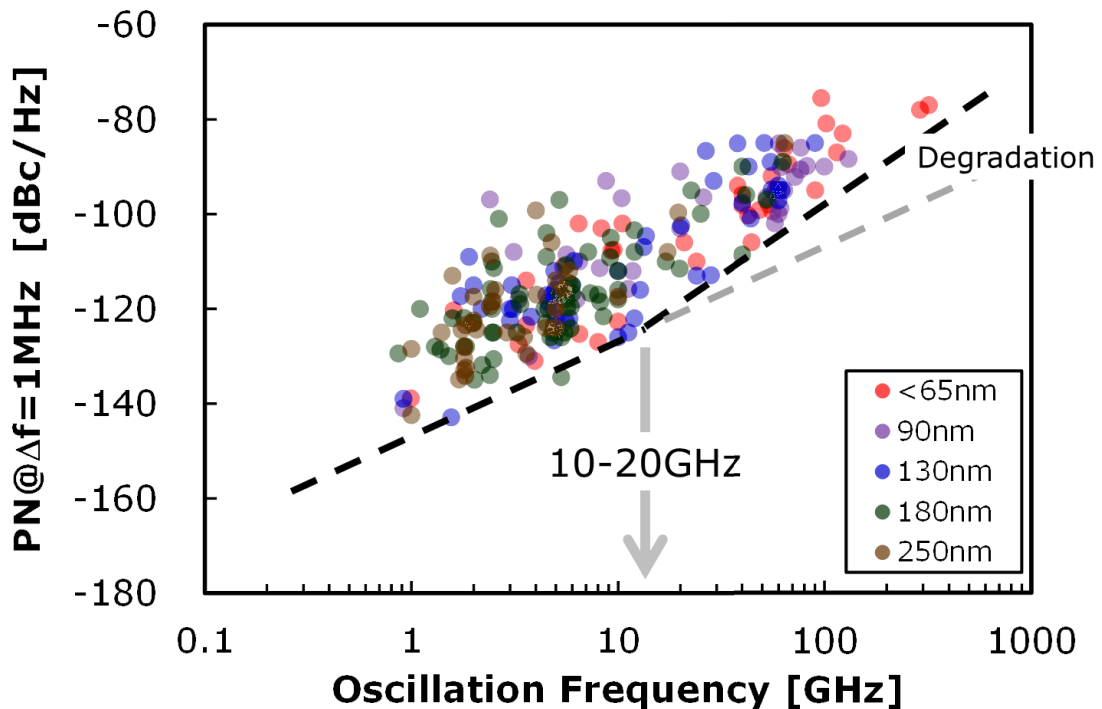


図 1-5 過去 25 年間に国際学会で発表された CMOS VCO の 1 MHz オフセット位相雑音の発振周波数依存性 [10]-[311]

式(1-2)によると、VCO の位相雑音はキャリア周波数(f_{osc})に対して、20 dB/dec.の依存性を示す。図 1-5 は、過去 25 年間に国際学会で発表された CMOS プロセスを用いた VCO のオフセット周波数 1MHz における位相雑音の発振周波数に対する依存性を示す[10]-[311]。図 1-5 に示すようにそれぞれの発振周波数における 1MHz オフセットの最低位相雑音は数 GHz 帯でおよそ 20 dB/dec.の依存性をもつ。

$$L(\Delta f) = \frac{2FkT}{P_{osc}} \left\{ 1 + \left(\frac{f_{osc}}{2\Delta f Q} \right)^2 \right\} \left(1 + \frac{f_c}{\Delta f} \right)$$

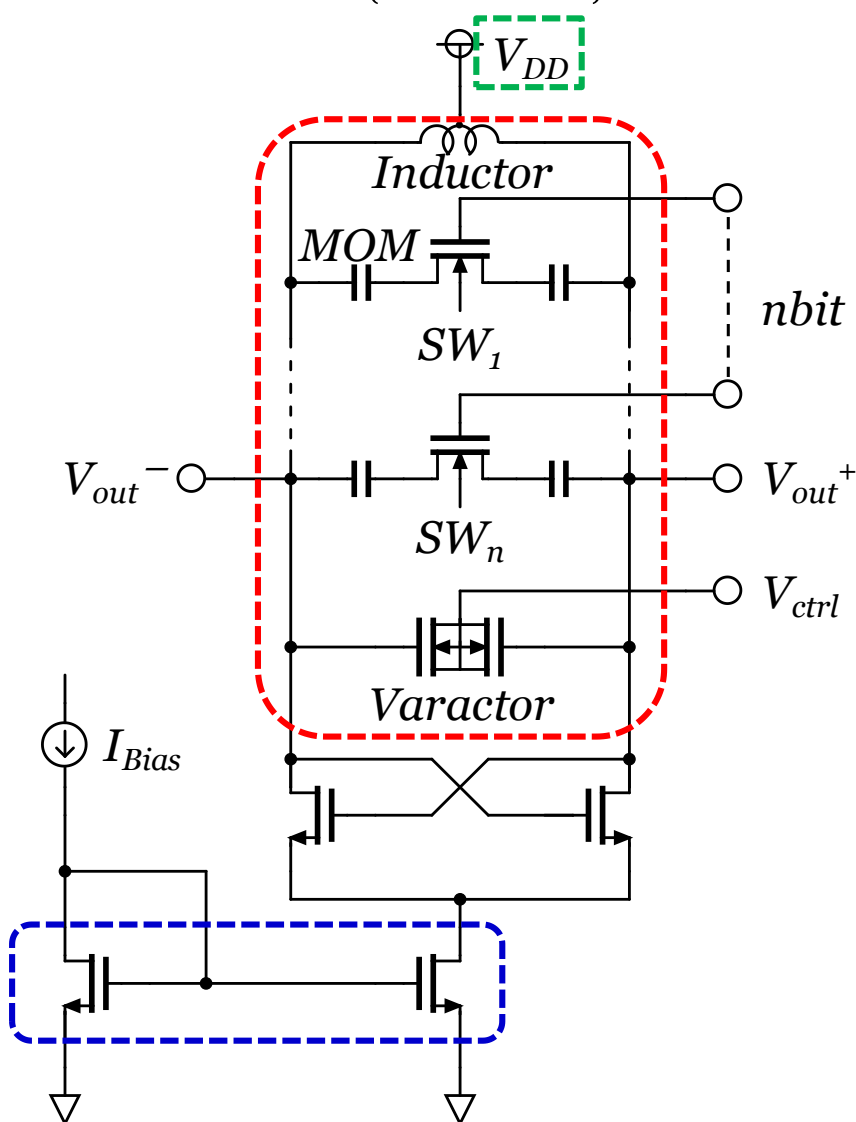


図 1-6 典型的な VCO 回路と LEESON の式 (式(1-2)再掲) の関係

しかし、発振周波数が 10GHz よりも高い場合、1MHz オフセットにおける位相雑音の発振周波数依存性は 20 dB/dec.に従っていないことがわかる。つまり、実際には 20 dB/dec.より多くの劣化が起きていることを示している。これは、式 (1-2) を構成するそれぞれの要素について高周波化による、もしくは高周波回路を実現するために微細 CMOS プロセスを用いていることに起因した劣化要因が存在するためと考えられる。そこでこれらの要因と、典型的な VCO 回路との関係について検討する。

図 1-6 は現在、CMOS プロセスを用いた無線トランシーバ製品等に広く用いられている VCO の典型的な回路図である。この回路は、NMOS のクロスカップルのゲインセル回路、NMOS のカレントミラー回路、そしてインダクタ、バラクタ、スイッチトキャパシタからなる LC 共振器回路により構成されている。

この回路において主な雑音源の一つは図 1-6 の青枠で示した NMOS カレントミラー回路から発生する熱雑音およびフリッカ雑音であり、スケーリングによる MOSFET のチャネル雑音とフリッカ雑音の劣化により、式 (1-2) の雑音指数 F の増大およびフリッカ雑音のコーナー周波数 f_c の高周波化が起こると考えられる。一般にチャネル雑音およびフリッカ雑音は式(1-3)、(1-4)で示される。

$$\overline{i_{ch}^2} = 4kT\gamma g_m \Delta f \quad (1-3)$$

$$\overline{i_{1/f}^2} = \frac{K_f g_m}{C_{ox} L W f} \Delta f \quad (1-4)$$

式(1-3)、(1-4)から明らかなように、MOSFET のチャネル雑音は、MOSFET の微細化によりチャネル雑音係数 γ が高くなることにより高くなり、MOSFET のフリッカ雑音はスケーリングによる MOSFET のゲート長 L およびゲート幅 W の微細化により高くなる。式(1-2)における雑音指数 F 、フリッカ雑音のコーナー周波数 f_c はそれぞれ、チャネル雑音およびフリ

ッカ雑音に比例して高くなるため、微細 MOSFET を用いる高周波 VCO の位相雑音は劣化すると考えられる。

図 1-7 にチャンネル雑音係数 γ のゲート長依存性の計算値と Toshiba、UCLA、Infineon、Philips で実験されたデータの比較を示す[10]。チャンネル雑音係数 γ の計算値と実測値は傾向がよく一致しており、ゲート長が短くなるにつれて、特に 100nm 以下では指数関数的にチャンネル雑音係数 γ が劣化している傾向を見ることができる。

図 1-8 は $L_g=40\text{nm}\sim 110\text{nm}$ のフリッカ雑音の周波数依存性を表しており[11]、フリッカ雑音はゲート長の微細化と共に劣化する、すなわち MOSFET 自体のフリッカ雑音のコーナー周波数も高周波化する。

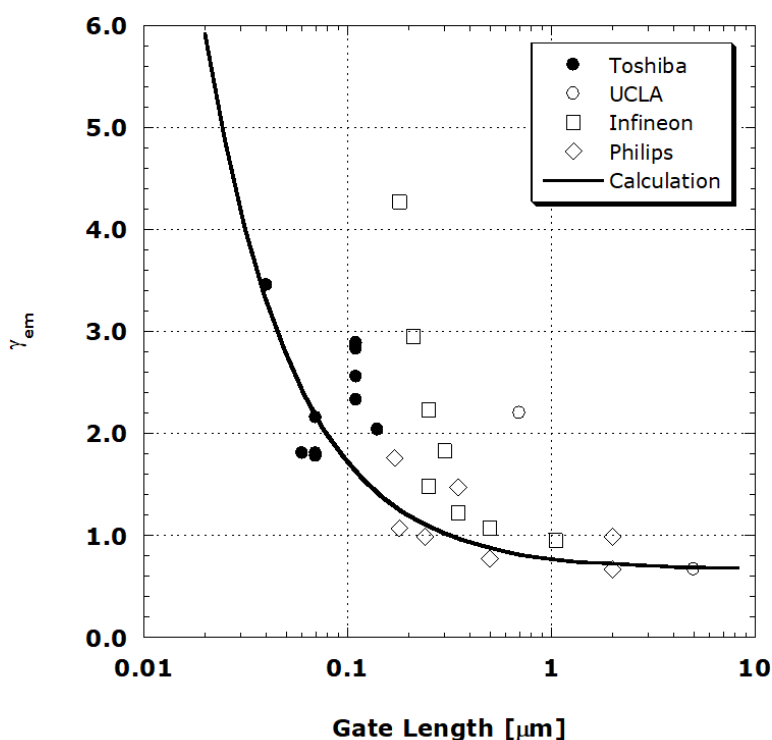


図 1-7 チャンネル雑音係数のゲート長依存性

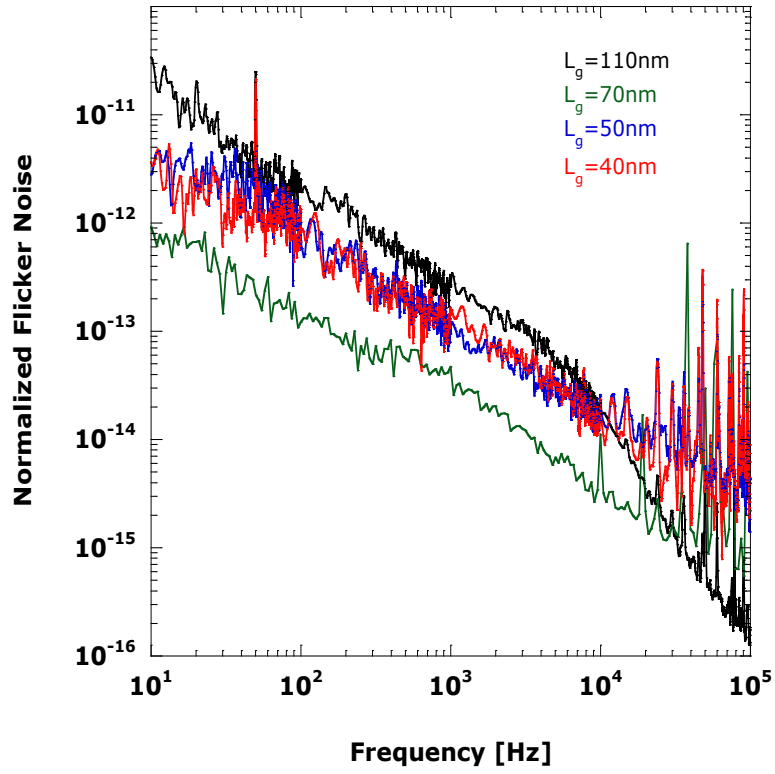


図 1-8 ゲート長の違いによるフリッカ雑音の周波数依存性

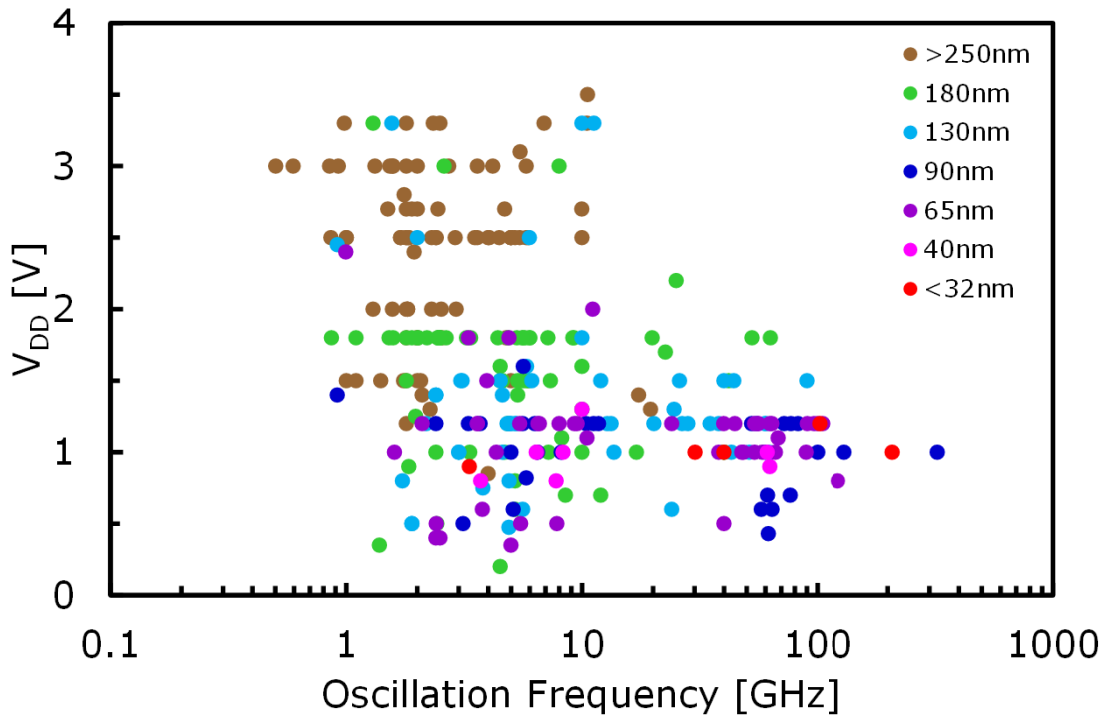


図 1-9 プロセスノードによるVCOの発振周波数と電源電圧

もう一つの原因はスケーリングによる電源電圧の低下により発振電力 (P_{osc}) が低下することである。図 1-9 に過去 25 年間に国際学会で発表された VCO の発振周波数と電源電圧およびプロセスノードについて示した。VCO を含む高周波回路は、微細化と共に動作周波数を高くすることが可能であるが、一方、電源電圧は微細化と共にスケーリング則により低下する。したがって、VCO の高周波化とともに位相雑音が劣化する一要因として、微細化とともに電源電圧が低下し、その結果発振電力が低下することも考えられる。

三番目の要因として、高周波領域における LC-VCO の Q 値の劣化が考えられる。そもそも LC 共振器を用いた VCO の位相雑音は LC 共振器の Q 値に大きく支配されている。次節では、この Q 値の劣化に焦点を当てる。

1.3 LC 共振器の Q 値

LC-VCO の位相雑音の劣化の要因の一つは高周波領域における Q 値の劣化であると考えられる。この項ではタンク回路の Q 値 (Q_{Tank}) の周波数特性について考える。

Q_{Tank} は式 (1-5) で示されるインダクタの Q 値 (Q_L) と式 (1-6) で示されるキャパシタの Q 値 (Q_C) で構成される。したがって Q_{Tank} は式 (1-7) で表すことができる[12]。

$$Q_L = \frac{\omega L_{ind}}{R_L} \quad (1-5)$$

$$Q_C = \frac{1}{\omega C R_C} \quad (1-6)$$

$$Q_{Tank} = \frac{1}{Q_L^{-1} + Q_C^{-1}} = \frac{\omega L_{ind}}{R_L + \omega^2 L_{ind} C R_C} \quad (1-7)$$

ここで L_{ind} はインダクタのインダクタンス、 R_L はインダクタの寄生抵抗、 C はキャパシタの容量、 R_C はキャパシタの寄生抵抗である。式(1-5)に示すように Q_L は周波数に比例するが、式(1-6)に示すように Q_C は周波数に反比例する。したがって、式 (1-7) に示したタンク回路全体の Q 値は、図 1-10 に示すように、ある周波数領域で極大値を持ち、その前後でインダクタとキャパシタの Q 値の Q_{Tank} に対する寄与が大きく異なると考えられる。したがって、ミリ波領域よりも比較的低周波領域では、 $Q_{Tank} = \omega L_{ind} / (R_L + \omega^2 L_{ind} C R_C) \approx \omega L_{ind} / R_L$ と表せるため Q_{Tank} は Q_L に依存することになる。そのため、比較的、低周波領域の VCO の位相雑音を低下させるためには Q_L の改善をすることが Q_{Tank} を向上させるために重要であり、今までのように比較的低周波の無線通信回路が主流であった場合はそれで事足りた。一方、比較的高周波領域では、 $Q_{Tank} = \omega L_{ind} / (R_L + \omega^2 L_{ind} C R_C) \approx 1 / \omega C R_C$ と表せるため Q_{Tank} は Q_C に大きく依存しており、比較的高周波領域において Q_{Tank} を向上させ低位相雑音の LC-VCO を実現するためには、 Q_C の改善が急務となることがわかる。

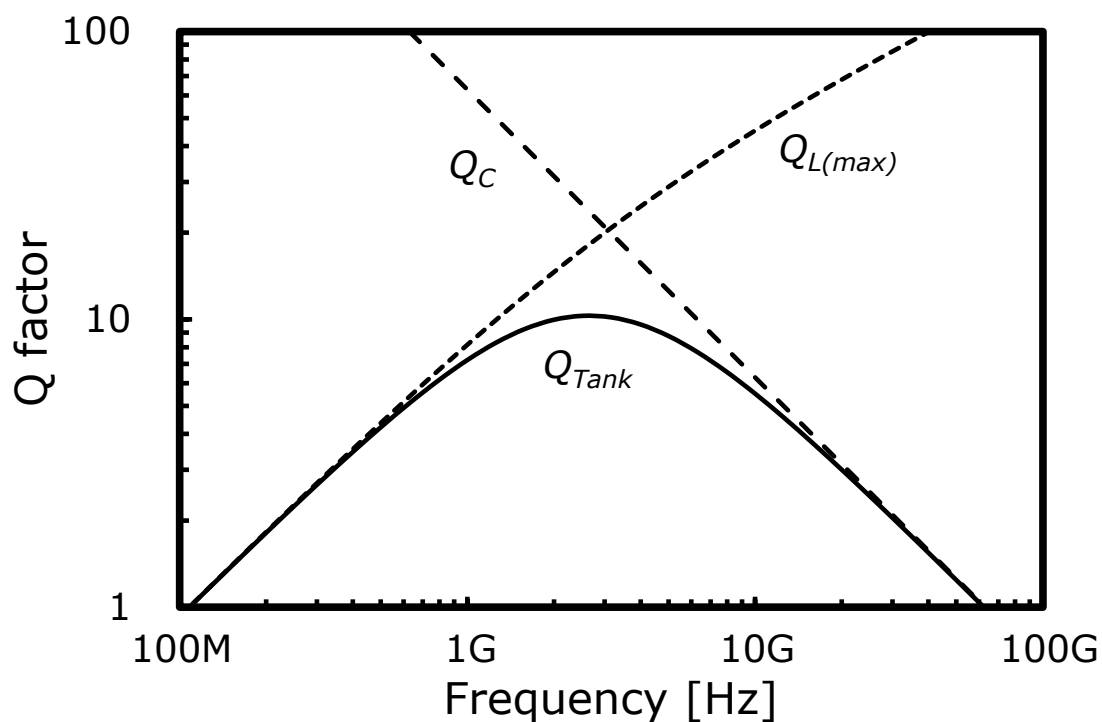


図 1-10 Q_L 、 Q_C と Q_{TANK} の周波数依存

そこで本研究の目的である「準ミリ波・ミリ波集積回路における LC 共振器の高性能化」を実現するためには、バラクタを含むキャパシタの Q 値の高周波領域における向上が必須であると考えられる。

次節では集積回路上で実現されるキャパシタについて述べる。

1.4 集積回路上における LC 共振器を構成する素子の技術動向

1.4.1 キャパシタの技術動向

CMOS 集積回路上に搭載できるキャパシタには MOS キャパシタ、Poly-Poly キャパシタ、MIM (Metal-Insulator-Metal) キャパシタ、MOM (Metal-Oxide-Metal) キャパシタ等の種類がある。

MOS キャパシタは古くから用いられているキャパシタである。その構造は MOSFET のものであり、MOSFET のゲートバックゲート (Well) 間の容量を用いるため、オプションプロセスは必要としないが、電極がゲートポリシリコンと基板となるため構造の最適化を行わないと寄生抵抗が高い、単体で用いると Well-基板間の寄生容量が高い、キャパシタンスの電圧変動が大きい等の理由により、高周波領域でキャパシタとして用いるには不適と考えられる。また、MOSFET のゲート構造と同じため、スケーリングによってゲート酸化膜の薄膜化により容量密度を高くできる可能性はあるが、ゲート酸化膜の薄膜化によりリーク電流が高くなるため、キャパシタとして使える膜厚は酸化膜換算で $0.025\mu\text{m}$ 程度で制限されるため、容量密度としては $1.5\text{fF}/\mu\text{m}^2$ 程度が限界である。

Poly-Poly キャパシタは、フィールド酸化膜上に形成した一層目のポリシリコンと二層目のポリシリコンの間に酸化膜 (もしくは窒化膜) を形成し、その間の酸化膜容量をキャパシタとして用いる。このキャパシタを実現するには、通常の CMOS プロセスでは用いない二層目のポリシリコンが必要となる。つまりオプションプロセスが必要となり、更にポリシリコン上の酸化膜形成のため、膜厚バラツキが大きく、また、ドーピングしてあるとはいえポリシリコンであるため寄生抵抗が高い等の理由により、近年、高周波領域でキャパシタとしてはあまり用いられない。また、MOS キャパシタと比較すると、寄生容量は非常に低いが、フィールド酸化膜直下にシリコン基板があるため、寄生容量は決して低くない。容量密度としては MOS キャパシタと同程度で $1.5\text{fF}/\mu\text{m}^2$ 程度が限界である。

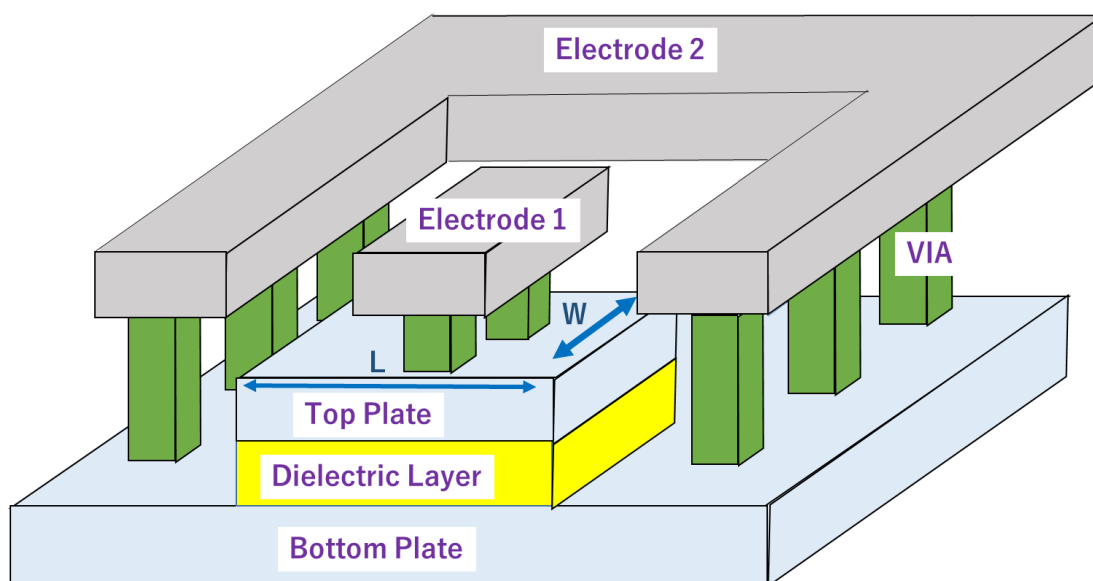


図 1-11 MIM の構造

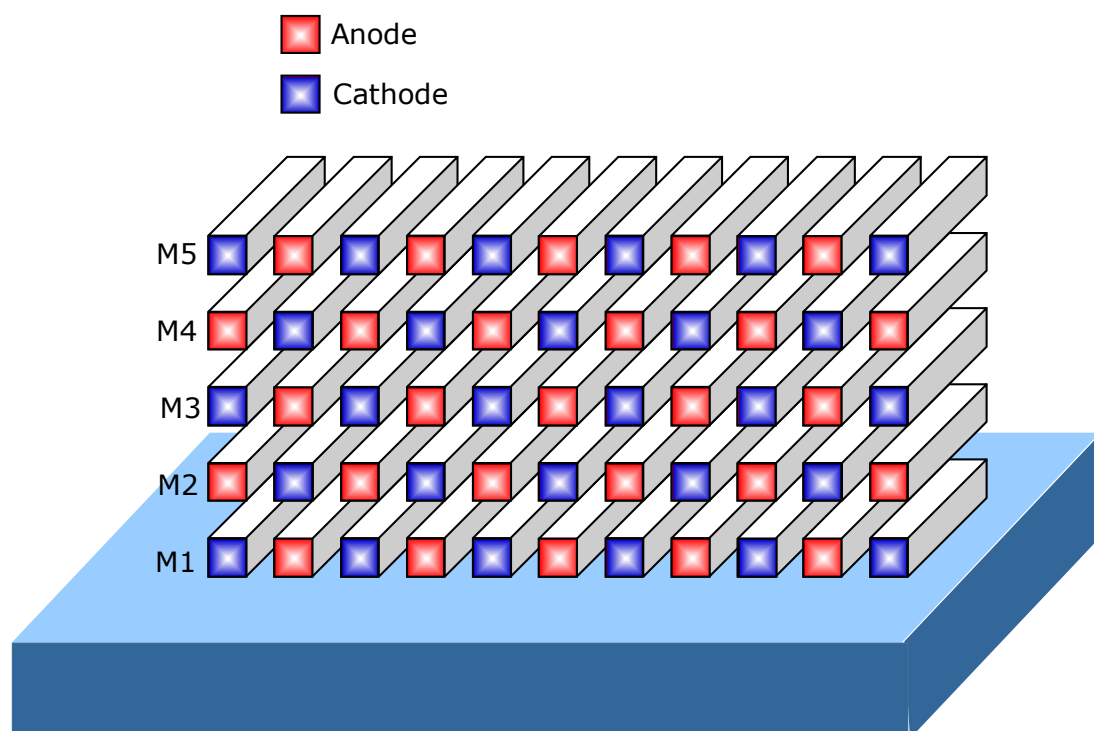


図 1-12 MOM の構造

MIM キャパシタは図 1-11 に示すように、上層のメタルとメタルの間に絶縁膜（プラズマ窒化膜）を形成する[13]。図 1-11 における Electrode2 に最上層のメタルを用い、Bottom Plate に最上層-1 のメタル層を用い、Top Plate としては TiN 等の高融点薄膜メタル用いるのが一

般的である。このような構造のため、寄生容量（対地容量）は低く、電極が両者ともメタルのため、寄生抵抗も低く、高周波の応用としては理想的なキャパシタと考えられる。しかしながら、オプションプロセスが必要であり、絶縁膜を薄膜化していくとリーク電流が増加するため薄膜化に限界があり、容量密度としては、MOS キャパシタ、Poly-Poly キャパシタと同様、酸化膜換算で $0.025\mu\text{m}$ 程度で制限されるため、容量密度としては $1.5\text{fF}/\mu\text{m}^2$ 程度が限界となる。

MOM キャパシタは図 1-12 に示すように、集積回路の配線そのものを用いた構造となっている。このキャパシタは Anode が接続されている配線と Cathode が接続されている配線を断面で見ると市松に並べることにより、横方向および縦方向に容量を得ることが可能である。下層のメタルも用いる事が多いため、対地容量としては MIM キャパシタより高くなる可能性があるが、電極は両者ともメタルであるため寄生抵抗は低く、高周波用途には向いている。また、単なる集積回路の配線層を用いているため、オプションプロセスが不要であることが大きな特徴である。

上記のように、集積回路上に搭載できる代表的なキャパシタとしては 4 種類あるが、高周波用途に用いる事が可能なキャパシタは MIM キャパシタと MOM キャパシタである。このうち、MIM キャパシタは上記のようにリーク電流による制限のため、容量密度としては $1.5\text{fF}/\mu\text{m}^2$ 程度が限界である。

MOS キャパシタ、Poly-Poly キャパシタ、MIM キャパシタは二つの電極間、つまり一方向にしか容量を持つことができないため容量密度は平面的な面積で決定される。一方、MOM キャパシタは、メタルの四方向にキャパシタンスを持つことが可能なため、3 層以上のメタル配線を用いる事により、原理的には前者と比較して 4 倍の容量密度を得られる可能性があり、更にメタル層を重ねていけば 4 倍以上の容量密度を得ることが可能となる。ただし、MOM キャパシタのメタル-メタル間の距離は、横方向はデザインルールで、縦方向は層間絶縁膜の厚さで規定されているため、絶縁膜の厚さに対しての自由度は低い。しかしながら、

この横方向、縦方向の間の距離はスケーリングとともに縮小されている。

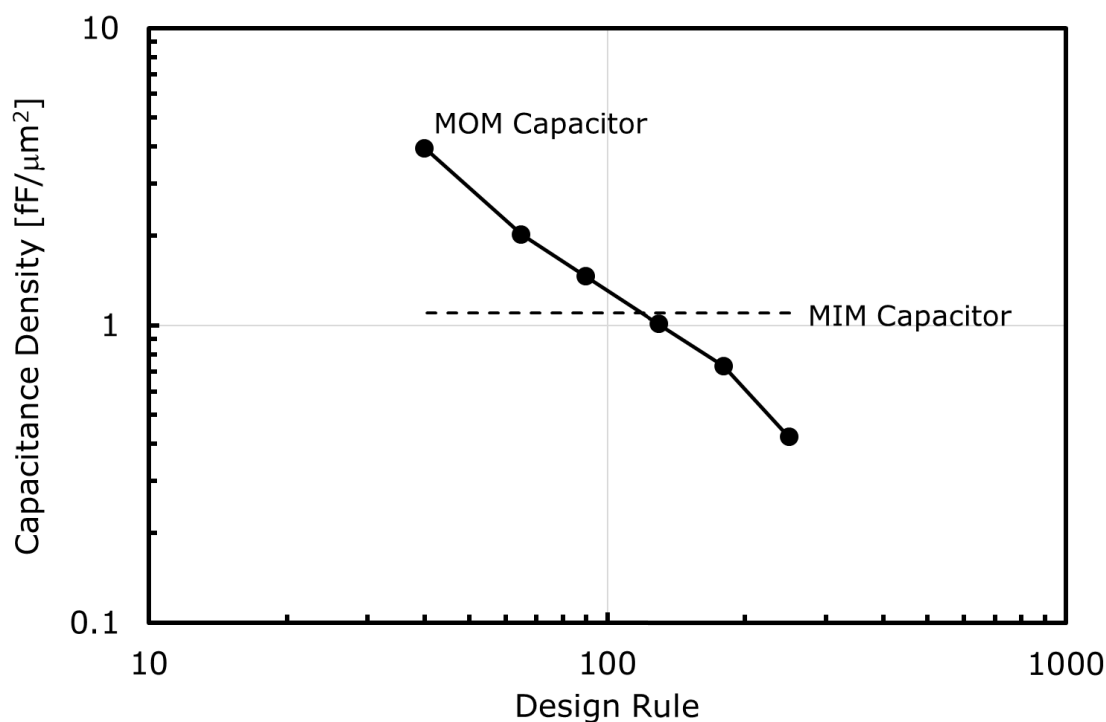


図 1-13 各デザインルールにおける MOM と MIM の容量密度

図 1-13 に各デザインルールにおける、MIM キャパシタと MOM キャパシタの容量密度の遷移を示す。前述のように、MIM キャパシタの容量密度はデザインルールが縮小しても一定であるが、MOM キャパシタの容量密度はスケーリングとともに増加し、130nm 世代以降では MIM キャパシタと MOM キャパシタの容量密度が逆転していることがわかる。

以上の結果より、高周波回路に用いるための条件である、低い寄生抵抗、低い寄生容量、低い電圧依存性を満たしているのは MIM キャパシタと MOM キャパシタである。更に集積回路として求められる、オプションプロセスが無い、容量密度が高いという観点を考慮すると、130nm 以下の CMOS プロセスにおいては MOM キャパシタが最も優れていると考えられる。

これらの結果を表 1-1 にまとめた。

表 1-1 各種キャパシタの比較

	MOS	Poly-Poly	MIM	MOM
容量密度 [fF/μm ²]	~1.5	~1.5	~1.5	>1.5 (DR<130nm)
寄生抵抗	数十Ω	~10Ω	~2Ω	~2Ω
寄生容量	高	中	低	低と中間の間
Process Option	無	有	有	無

更に MOM キャパシタのメタル層数に対する容量密度の推移を図 1-14 に示した。図 1-14 から分かるように、MOM キャパシタの容量密度はメタル総数の増加に比例して高くなると考えられる。

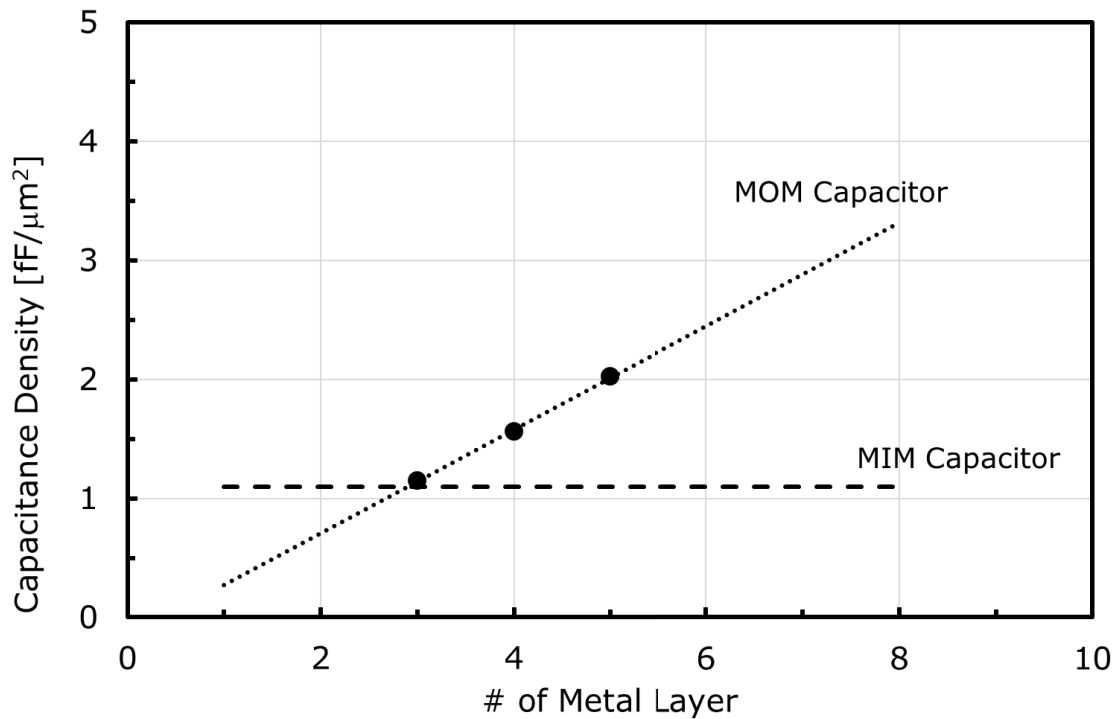


図 1-14 各メタル層における MOM と MIM の容量密度

1.4.2 バラクタの技術動向

LC-VCO において発振周波数を変えるためには、インダクタのインダクタンスもしくはキャパシタのキャパシタンスを変える必要があり、通常はキャパシタのキャパシタンスを電圧によって変える。そこに用いられる素子がバラクタ (Varactor) もしくはバリキャップ (Varicap) と呼ばれる可変容量素子である。

シリコンプロセスを用いたオンチップ LC 共振器を擁した VCO は 1992 年に世界で始めて UCB から ISSCC (International Solid-State Circuits Conference) で発表された回路である [14]。この回路はバイポーラトランジスタで構成されており、バイポーラトランジスタのコレクタ接合に印加する電圧を変えることにより、コレクタ・ベース接合の寄生容量を変化させることで発振周波数を制御した。以降の CMOS プロセスを用いた LC-VCO においても pn 接合を用いて (通常、ソース・ドレインの pn 接合)、印加する DC 電圧を変えることにより pn 接合の空乏層幅を変化させ、それによりキャパシタンス C_{dep} を変化させることで周波数を制御してきた。pn 接合のキャパシタンスを式(1-8)に示す。

$$C_{dep} = \frac{C_0}{\left(1 - \frac{V_{bias}}{V_j}\right)^{0.333}} \quad (1-8)$$

ここで、 C_0 はゼロバイアス時のキャパシタンス、 V_{bias} は pn 接合両端の DC 電圧、 V_j は pn 接合のビルトイン電圧である。しかしながら、pn 接合のキャパシタンスは、式(1-8)に示すように逆バイアス電圧を高くすれば容量可変範囲は大きく取れるが、順方向にバイアスすると順方向電流が流れてしまうため、逆バイアス領域しかバラクタとしては使えない。すなわちプロセスのスケーリングに伴う電源電圧の低下に伴い容量可変範囲が限られてくるという欠点がある (現在でもディスクリット回路における VCO では pn 接合バラクタを用いているが、それは逆バイアス電圧を 10V 程度まで印加できる回路が多い)。

そのような状況の中、1998年にUCLAからMOSFETを用いたバラクタが提案された[15]。MOSFETのゲート容量は閾値電圧付近で急激に変化し、正バイアスも負バイアスも印加できるため、容量可変範囲を広く得る事が可能である。更に基板側の寄生抵抗値を改善するために、通常MOSFET構造のMOSバラクタ (Inversion mode MOS varactor, I-MOS) に対して、アキュムレーションモードのMOSバラクタ (Accumulation mode MOS varactor, A-MOS) が1999年にLund大学から提案された[16]。I-MOSバラクタとA-MOSバラクタの構造の差異を図1-15に、それぞれのバラクタを用いたVCOの位相雑音の差異を図1-16に示す。

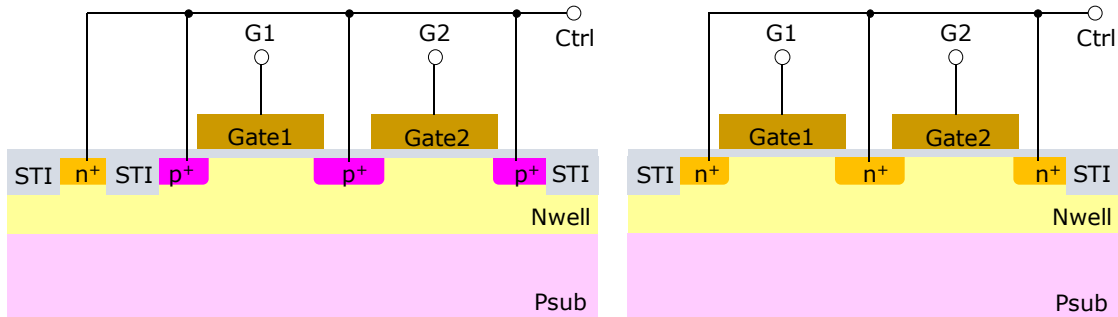


図 1-15 I-MOS バラクタ (左) と A-MOS バラクタ (右)

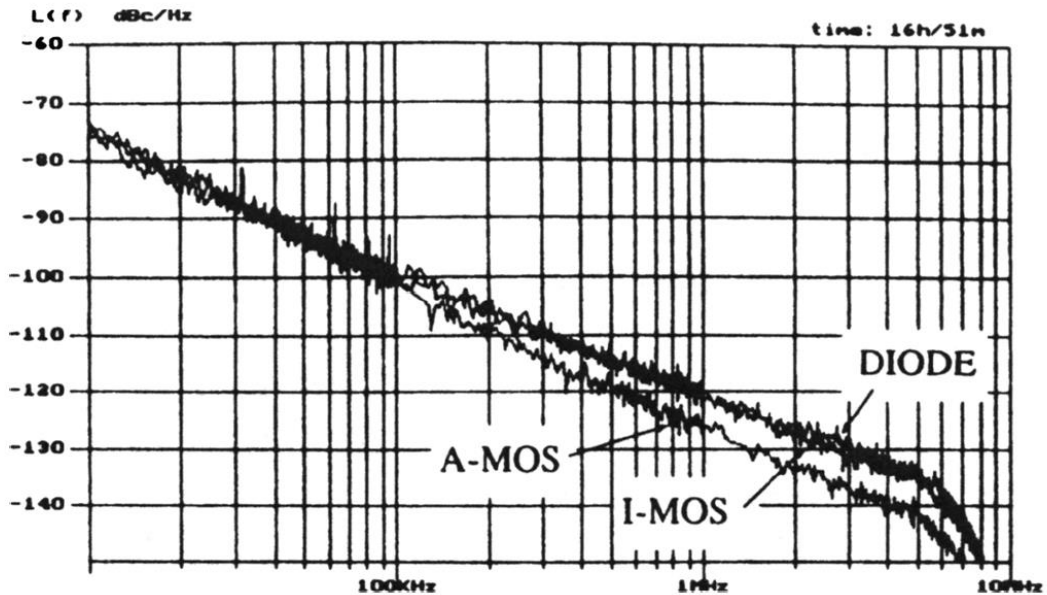


図 1-16 I-MOS バラクタ場合と A-MOS バラクタを用いた VCO の位相雑音の差[16]

また、図 1-17 に同一プロセスにおける MOS バラクタと pn 接合バラクタの電圧－容量特性を示す。図 1-17 によると、MOS バラクタの容量可変比 C_{max}/C_{min} は約 3.8 であるのに対して、pn 接合バラクタのそれは約 1.7 であり、圧倒的に MOS バラクタの容量可変範囲が広いことがわかる。

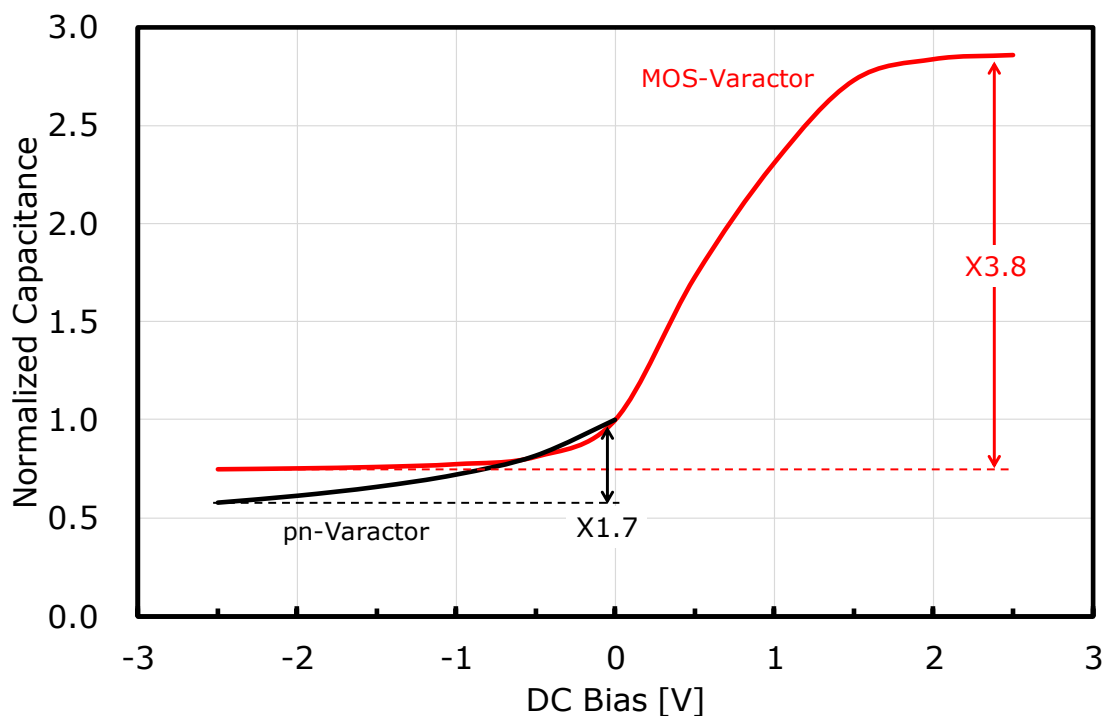


図 1-17 MOS バラクタと PN 接合バラクタの電圧－容量特性

1.4.3 インダクタの技術動向

1.4.2 に記したように、シリコンプロセスを用いた世界最初の LC 共振器を内蔵した LC-VCO は、1992 年に UCB から発表されたバイポーラトランジスタを用いた回路である。その回路は発振周波数 1.68～1.86GHz において 100kHz オフセットの位相雑音が -88dBc/Hz であった。周波数と位相雑音の特性を考えると、明らかに共振器のしかもインダクタの Q 値が低いことがわかる。それから 2000 年代中盤まではアプリケーションの周波数もそれほど高周波化されないこともあいまって、数 GHz 帯における位相雑音の低下に研究は集中した。1995 年に KUL の J. Craninckx 等はボンドワイヤをインダクタとして用いた CMOS-VCO を

発表した[17]。その回路は発振周波数 1.8GHz、位相雑音は 10kHz オフセットで -85dBc/Hz であり、UCB の回路から比べると 20dB 程度位相雑音が低下している。1997 年に同じく KUL の J. Craninckx 等は、世界で始めて Q 値を向上できる対称型のオンチップインダクタを用いたインダクタを搭載した CMOS-VCO を発表した[18]。その回路は発振周波数 1.8GHz、位相雑音は 200kHz オフセットで -113dBc/Hz であり、ボンドワイヤを用いた VCO とほぼ同等の特性を得た。1999 年に東芝の伊藤は、現在最も主流になっている三端子インダクタを用いた VCO を世界で始めて発表した[19]。その回路は発振周波数 1.3GHz、位相雑音は 1MHz オフセットで -125dBc/Hz である。2002 年に Stmayer はトランス構造のインダクタを用いた CMOS-VCO を発表した[20]。その回路は発振周波数 1.7GHz、位相雑音は 1MHz オフセットで -141dBc/Hz と極めて低い位相雑音を得た。以降も、様々な形状のインダクタが研究されて来たが、数 GHz の周波数帯ではプロセス制約からインダクタの改善が頭打ちとなり、抜本的な特性改善は困難となって来た。そのため、数 GHz 帯の発振周波数をもつ VCO の研究としては、その他の方法による位相雑音の低下、例えば、ノイズフィルタリング[21-22]、テールカレントシェーピング[23]、雑音キャンセル回路の導入[24]、位相雑音の安定化[25-26]、Class-C 回路の開発等が進んできた。しかしその後、2010 年以降は発振周波数の高周波化に伴いインダクタを含む更なる LC 共振器回路の研究が求められている。

1.5 本論文の目的と構成

第 1 章では、無線通信が発展することによって、大容量のデータを大人数で通信することにより、トラフィックが飽和し、それを改善するために年々高速化を求められ、キャリアの周波数の高周波化が進んでいることを示した。そのような高周波領域では位相雑音が通信性能の大きな因子となるため、低位相雑音の VCO が求められる。位相雑音は Leeson の式、すなわち式(1-2)で表すことができるが、10GHz 以上の高周波領域では発振周波数に対して 20 dB/dec.以上の劣化が起きており、それらを引き起こす原因として三つの劣化を示した。一つ目はスケーリングによる MOSFET のチャンネル雑音とフリッカ雑音の劣化により、式(1-2)の雑音指数 F が増大しフリッカ雑音のコーナー周波数 f_c が高周波化、二つ目はスケーリングによる電源電圧の低下による発振電力 (P_{osc}) の減少、三つ目は高周波領域における LC-VCO の Q 値の劣化である。さらに、LC 共振器を用いた VCO の位相雑音は LC 共振器の Q 値に大きく支配されているため、 Q 値の劣化の改善のために、タンク回路の周波数特性について考察した。タンク回路の Q 値は高周波領域では、キャパシタの Q 値にほぼ依存しているため、本研究では「準ミリ波・ミリ波集積回路における LC 共振器の高性能化」を実現するためにキャパシタの Q 値を改善することを目的とした。具体的には、図 1-6 に示した差動型 MOS バラクタとスイッチトキャパシタで用いられる MOM キャパシタについて、 Q 値の改善を行うこととした。

第 2 章では LC-VCO のキャパシタのうち、差動型 MOS バラクタの Q 値の改善について焦点を当てる。高い Q 値をもつ MOS バラクタを実現するためには、 W/L の最適化が重要となる。基本的には、 W および L を微細化した方が高い Q 値を得られるが、最適サイズよりも微細な W および L を用いても、 Q 値は向上しない。一方、 W および L の微細化するとバラクタ自体の容量は低下し、相対的に寄生容量が増加するため容量可変範囲 (C_{max}/C_{min}) も低下する。したがって、 Q 値と C_{max}/C_{min} のトレードオフを考慮し、同じプロセス上で、様々

なアプリケーションの要件をカバーするために最適な MOS バラクタを使用する必要があり、スケーラブルな MOS バラクタモデルを作成する必要がある。本章では、MOS バラクタの等価回路モデルを提案し、それに沿ったスケーラブルモデルを作成する。具体的には、MOS バラクタのテストチップを作成し、各サイズの MOS バラクタの Q 値の実測値を計算値と比較する。その後、実測値を元に PSP MOSVAR モデルを使用してモデルパラメータを抽出する。また同テストチップに MOS バラクタのサイズ以外が等価の発振周波数 22GHz の LC-VCO を搭載し、測定された位相雑音から、 Q 値の改善の効果を確認する。

第3章では MOM キャパシタの Q 値の改善について焦点を当てる。 Q 値の高い MOM キャパシタを使用するために、MOM キャパシタの Q 値に影響を与える、容量、寄生抵抗、寄生インダクタンス、基板容量、基板抵抗の各成分のフィンガー長、フィンガー数の依存性を調べ、その影響を組み込んだ MOM キャパシタのスケーラブルモデルを作成する。スケーラブルモデルを作成するために、フィンガー長、フィンガー本数、使用メタルレイヤーをパラメータとして様々なレイアウトを設計し、EM シミュレーションを用いる。これは実際にテストパターンを作成して得られる測定値のばらつきを排除すると同時に、限られた数のテストパターンの測定値から得られるデータは限られているため、モデル自体が不完全になることを排除するためである。ただし、最低限のテストパターンによる測定値との適合性を確認する必要がある。このようにして作成したモデルを用いて、最終的にシミュレーションにより、準ミリ波・ミリ波帯における MOM キャパシタの最適構造を見いだす。

第4章では、準ミリ波帯・ミリ波帯におけるインダクタの Q 値の向上を検討する。本章でも述べたとおり、準ミリ波帯・ミリ波帯におけるタンク回路の Q 値の向上のためには、キャパシタの Q 値の向上が必要であるが、第2章～第3章において行った検討により、キャパシタの Q 値については向上が図られたため、さらにタンク回路全体の Q 値を向上させるにはインダクタの Q 値向上が必要となるからである。ここでは、ストライプ構造のイン

ダクタを用いることで、準ミリ波帯・ミリ波帯で課題となる表皮効果を抑制することによってインダクタの Q 値を向上させる。

第 5 章では、第 2 章～第 4 章において行った研究である『準ミリ波・ミリ波集積回路における LC 共振器の高性能化』の効果について考察を行い、今後の課題を提案する。

第2章 MOS バラクタ

2.1 MOS バラクタの Q 値

第2章では差動型 LC-VCO 発振器のために使用される差動型 MOS バラクタ (以下、MOS バラクタ) に焦点を当てる。MOS バラクタは、隣接するゲートに差動信号の端子を有しており、図 2-1 に示すように、ゲート電圧端子 ($G1$, $G2$) とバックゲート電圧制御端子 ($Ctrl$) をもつ素子であり、バックゲートの電位を制御することにより、MOS バラクタ容量 (C_{VAR}) を可変容量として使用する素子である[27]。現在も広く用いられている素子であるが、特に微細構造においては、正確なモデルの研究がなされている例は少ない[28-29]。

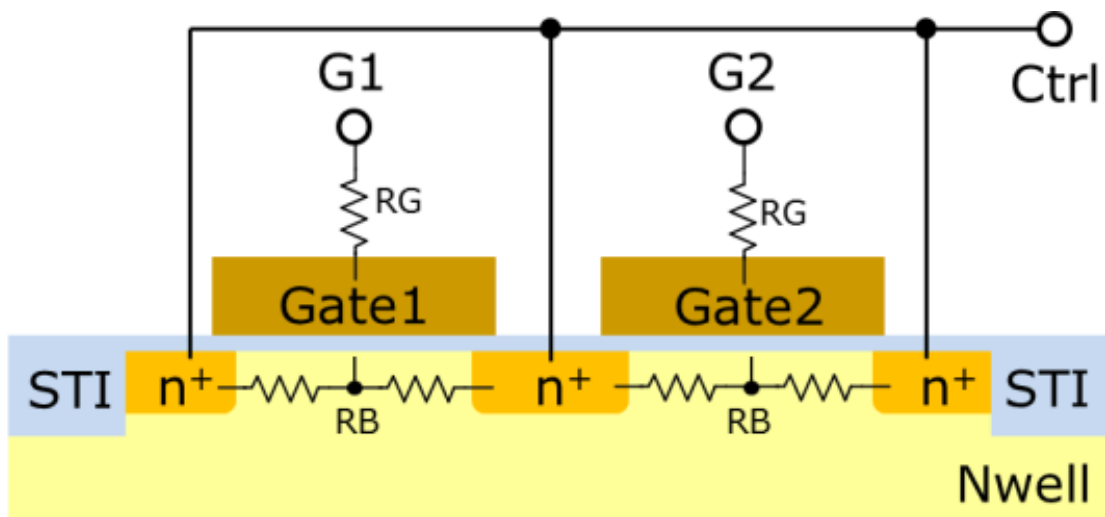


図 2-1 MOS バラクタの断面構造

MOS バラクタの Q 値 (Q_C) は式 (1-3) に示すように、MOS バラクタの容量 (C_{VAR}) が小さく、寄生抵抗 (R_C) が低いときに性能が良くなる。 C_{VAR} は LW のサイズに比例するのでサイズの小さい MOS バラクタを使用すればよいが、 R_C は MOS バラクタのサイズと単純な比例関係ではないので、以下では R_C の LW 依存性について考察する。 R_C のそれぞれの成分であるゲート抵抗 (R_G) とバルク抵抗 (R_B) の LW の依存性を式 (2-1) で示す。

$$R_C = R_G + R_B = R_{GC} + \frac{1}{3} \frac{W}{L} \rho_{GS} + \frac{1}{12} \frac{L}{W} \rho_{BS} \quad (2-1)$$

ここで、 ρ_{GS} はゲートポリシリコンの寄生抵抗、 ρ_{BS} はバックゲートの寄生抵抗、 R_{GC} はゲートコンタクトの寄生抵抗である。ここで、重要なのは、ゲート抵抗の W/L 依存性と、バックゲートの W/L 依存性が逆になっていることである。つまり、 W/L の値に極値（最小値）があることを示している。なお、MOS バラクタのコンタクトは、ゲートコンタクトの他にバックゲートコンタクトが存在するが、MOS バラクタを差動回路で使用する場合はバックゲートコンタクトには電流が流れないので、 R_C の成分には含んでいない。式 (2-1) から R_C が最小値をとる W/L を計算することができ、その値は式(2-2)となる。

$$\frac{W}{L} = \sqrt{\frac{\rho_{BS}}{4\rho_{GS}}} \quad (2-2)$$

この時、 R_{GC} は LW に比例しゲートコンタクト数が増減すると仮定して W/L 依存性のみに注目するため無視している。ゲートコンタクト数による R_{GC} の取り扱いはレイアウトの形状と合わせて 2.3 節で述べる。

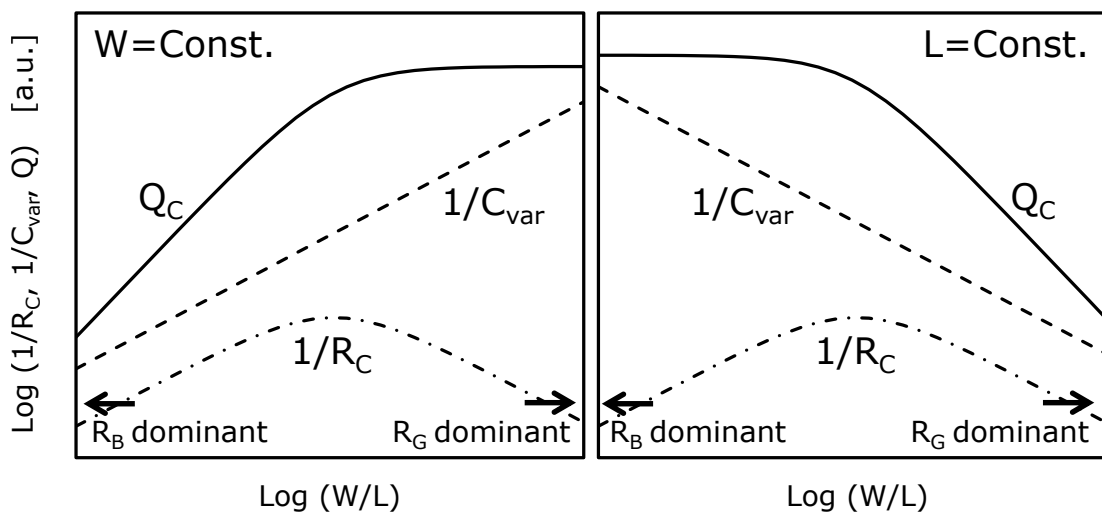


図 2-2 $1/R_C$ 、 $1/C_{var}$ 、 Q_C の W/L 依存性 (左図) W 一定 (右図) L 一定

MOS バラクタの Q 値の W/L 依存性は図 2-2 のように $1/R_C$ と $1/C_{var}$ の和に比例する。図 2-2 では $1/R_C$ 、 $1/C_{var}$ 、 Q_C の W/L 依存性を W が一定の場合 (左図) と、 L が一定の場合 (右図) にわけてグラフに表した。 W が一定の場合 (左図) では、 L が減少するにつれて W/L が増加する。 W/L が増加すると $1/C_{var}$ が増加し、結果として、 W/L の増加で Q_C が増加することとなる。しかしながら $1/R_C$ は、式 (2-2) に示されるように、ある W/L の値で最大値をもつため、 Q_C の増加はその時点から飽和することになる。一方、 L が一定の場合 (右図) には、 W が減少すると Q_C は増加し、同様に $1/R_C$ が最大値となる W/L の値で最大値を持ち飽和する。つまり、 L や W を小さくすると Q_C は改善するが、あるサイズ以下では、 L や W を小さくしても効果がないことがわかる。しかしながら、今回使用した Toshiba 65nmCMOS プロセスの試作では、最小の W と L で作成した MOS バラクタが最も高い Q_C を得たので、現状では小さい MOS バラクタを使用することが Q_C の改善には効果的であると言って良い。一方で、小さい MOS バラクタを用いると容量可変範囲[30] C_{max}/C_{min} も当然小さくなる。ここで C_{max} および C_{min} は制御電圧による容量の最大値および最小値である。つまり、 Q_C と C_{max}/C_{min} はトレードオフの関係にある。2.6 節では試作したバラクタの実測値を用いて Q_C と C_{max}/C_{min} のトレードオフの関係を考察する。

無線通信のアプリケーションは、幅広い周波数チューニング範囲を必要とし低い位相雑音を要求しないものもあれば、周波数チューニング範囲はそれほど必要無く低い位相雑音を必要とするものもある。回路設計者はこれらのトレードオフの関係を見据えながら設計回路に最適な素子を選ぶ必要があり、MOS バラクタモデルも拡張性のあるスケーラブルなモデルが必要となる。2.2 では現状のモデルの問題点を提起する。

2.2 MOS バラクタのスケラブルモデル

ナノメートルスケールの CMOS プロセスに適した MOS バラクタのコアモデルとして、PSP モデルと BSIM4 モデルが存在している。MOS バラクタのモデルに求められる最も重要な特性は C-V 曲線の精度であるが、BSIM4 モデルの C-V 曲線は非線形になってしまう。これは BSIM4 のフリンジ容量パラメータが、 L と W 方向の両方に同じパラメータを使用しているためである[31]。

一方、PSP の MOS バラクタ専用のモデル (PSP MOSVAR) は C-V 曲線に非線形領域がないため、BSIM4 よりもフィッティング精度が高い。これは PSP MOSVAR のフリンジ容量のパラメータ C_{fr} が式 (2-3) に示すように、 L と W の両方向について個々のフリンジ容量パラメータが存在するためである[32]。

$$C_{fr} = CFRW \times W + CFRL \times L \quad (2-3)$$

ここで、 $CFRW$ と $CFRL$ は、それぞれ W 方向および L 方向のためのフリンジ容量のパラメータである。しかしながら実測とのフィッティング精度を考えると PSP MOSVAR はスケラリングの点で不十分であるため、実際よく使用されている楕円構造の MOS バラクタの等価回路とレイアウトからフリンジ容量の LW 依存性について検討する。

一般に使用されている、楕円構造 MOS バラクタは、図 2-1 の構造を横方向にリピートした形状となっており、ゲート 1 (G1) とゲート 2 (G2) との間の寄生容量 (SFC) を考慮する必要がある。それを等価回路として示すと図 2-3 のようになる。

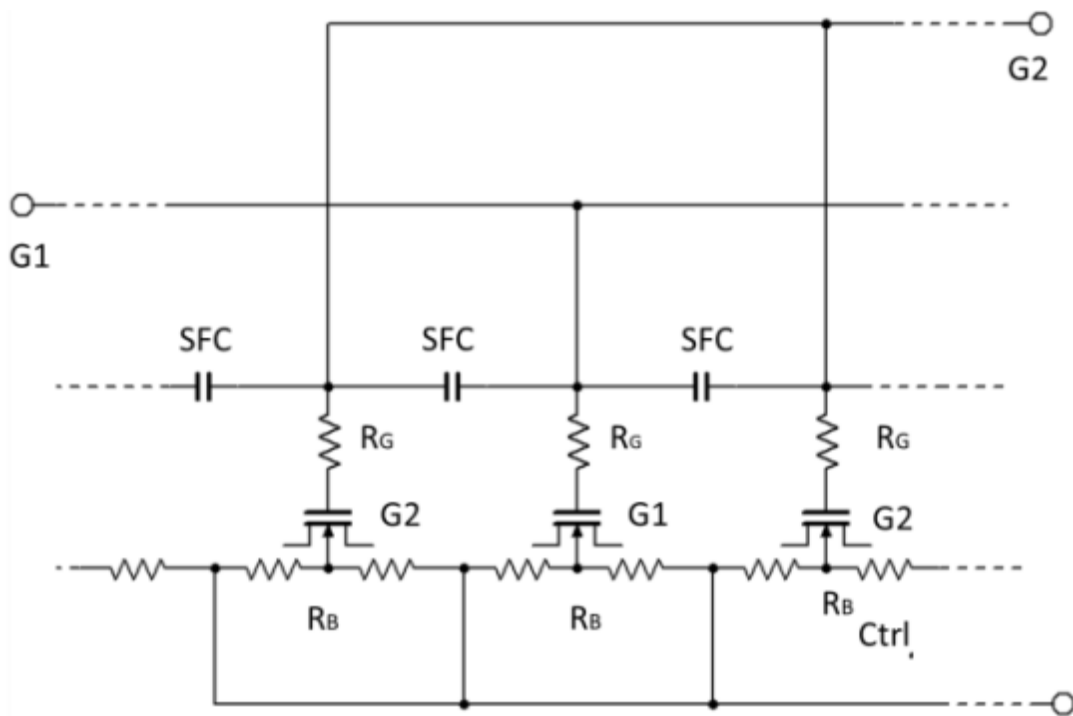


図 2-3 楕形 MOS バラクタの等価回路

図 2-3 のような等価回路をもつ楕形構造の MOS バラクタは、低い寄生抵抗を得るために多くの高周波発振器で採用されている。ゲート 1 (G1) とゲート 2 (G2) との間の寄生容量 (SFC) は、 $L > 1\mu\text{m}$ 等の長いゲート長の場合は G1 と G2 との間の距離が非常に長いいため、無視できる。しかし、 $L < 0.5\mu\text{m}$ 等の短いゲート長では SFC は L に反比例し大きくなるため無視できない値となるために現状のモデルを改善する必要がある。

そこで本研究では、式 (2-4) に示すように、新しいパラメータ SFC と $CFR0$ を導入し、広範囲の L 及び W のスケーラビリティを確保するフリンジ容量モデル (PSP SFC モデル) を提案する。

$$C_{fr} = \left(CFRW + \frac{SFC}{L} \right) W + CFR L \times L + CFR0 \quad (2-4)$$

ここで $CFR0$ は L 、 W に依存しないフィッティングパラメータである。

2.3 MOS バラクタのレイアウト

式(2-1)に示すように、ゲートコンタクト抵抗 (R_{GC}) も MOS バラクタの寄生抵抗(R_C)に含まれる。このためゲートコンタクト抵抗の最小化、つまりコンタクト数の増加は Q_C を上昇させるための高性能化に効果的であるが、コンタクト数はレイアウト形状によって変わってくる。

例えば、楕形の差動 MOS バラクタには 2 種類のレイアウトが考えられる。1 つは、図 2-4 (タイプ A) に示すように、ゲート電極に交差し、 L 方向に配線が沿うタイプ。もう 1 つは図 2-4 (タイプ B) に示すように、ゲート電極と重なる W 方向に配線が沿うタイプである。タイプ B は、タイプ A の約 2 倍のコンタクトを持っているため、コンタクト抵抗が減少し、高い Q 値を得ることができる。しかし、差動信号線をゲート電極に沿って通すことによって、G1 と G2 との間の並列寄生容量が大きくなるため、一概にタイプ B が優れているとは言えない。つまり、レイアウトは Q 値と寄生容量のトレードオフを考慮して選択する必要がある。

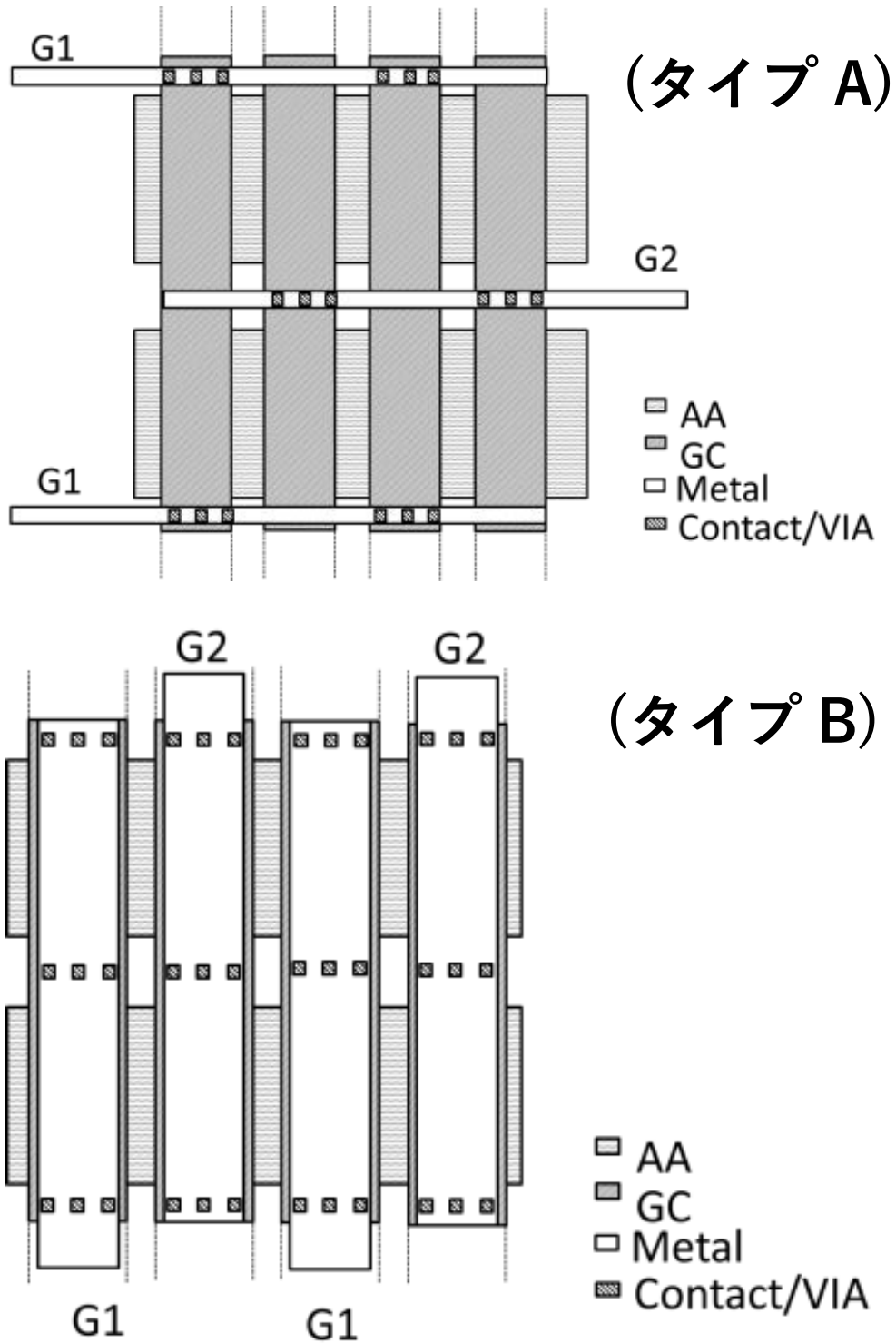


図 2-4 2種類のレイアウト (タイプ A) ゲート電極に交差し L 方向に配線、
(タイプ B) ゲート電極と重なる W 方向に配線

2.4 テストチップの設計・試作と測定

測定データの考察を行うためにテストチップに $W=0.5\mu\text{m}$ から $2.0\mu\text{m}$ 、 $L=0.26\mu\text{m}$ から $2.0\mu\text{m}$ の範囲の LW の異なるサイズの MOS バラクタを作製した。ベクトルネットワークアナライザによって、S パラメータを測定し、Y パラメータ変換[30]を介して R_C 、 C_{VAR} 、及び Q_C を得た。次に、これらの測定結果を使用して、PSP MOSVAR をそのまま用いたノーマルなモデル (PSP normal モデル) と式 (2-4) で提案した寄生容量をモデルに組み込んだモデル (PSP-SFC モデル) の 2 種類のスケラブルモデルを作成した。図 2-5 は、MOS バラクタのチップ写真である。

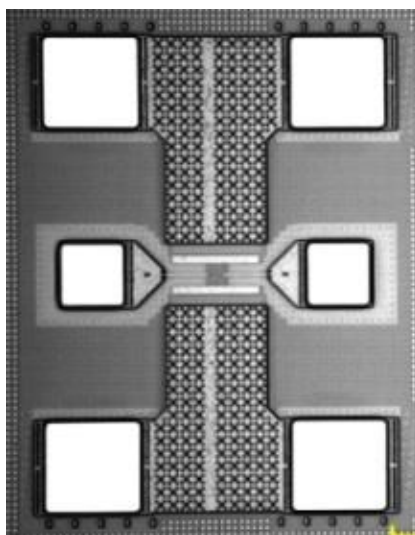


図 2 - 5 MOS バラクタのチップ写真

また、LC-VCO における MOS バラクタの高精度化を検証するために、作成したモデルを使って 3 サイズの MOS バラクタを用いた 3 種類の VCO を設計・試作した。図 2-6 は設計した LC-VCO の回路図であり、図 2-7 は試作した LC-VCO のチップ写真である。試作した LC-VCO は MOS バラクタ以外の回路・レイアウトはすべて同じ構造になっており、MOS バラクタのサイズはそれぞれ $W/L=0.5\mu\text{m}/0.26\mu\text{m}$ 、 $W/L=2\mu\text{m}/0.36\mu\text{m}$ 、 $W/L=2\mu\text{m}/2\mu\text{m}$ 、 $V_G=0\text{V}$ での容量はそれぞれ 383 fF、402 fF、444 fF である。インダクタの Q 値は $f=20\text{GHz}$ 。

で約 40 である。LC-VCO の位相雑音はシグナルアナライザを用いてチップ上で測定を行った。このチップは Toshiba 65 nm standard CMOS プロセスで作成した。

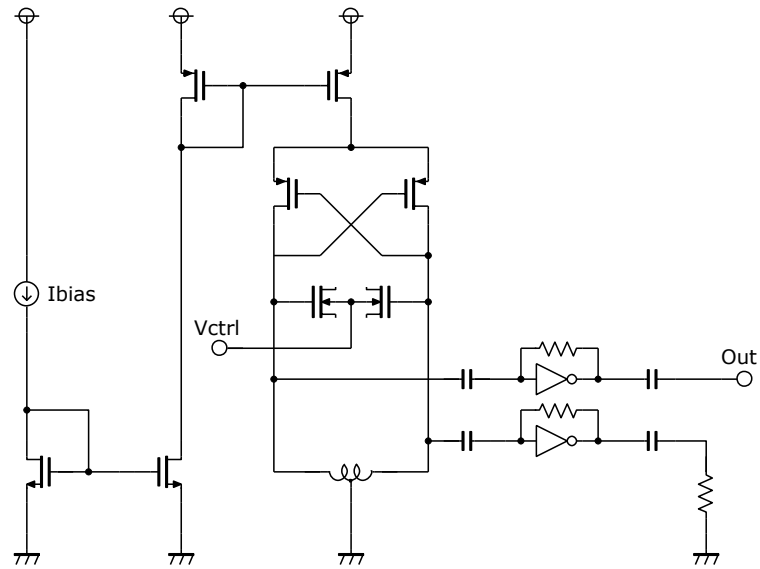


図 2 - 6 VCO の回路図

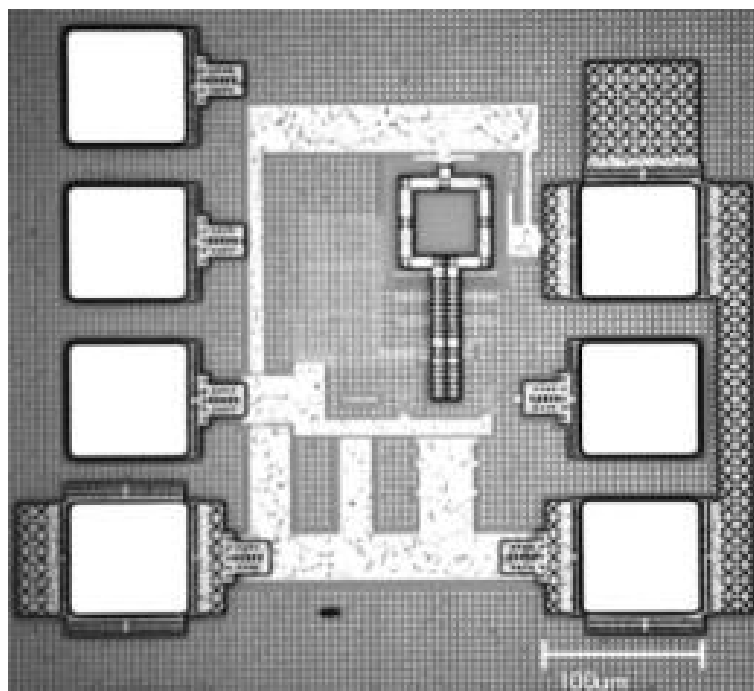


図 2 - 7 VCO のチップ写真

2.5 Q 値の計算値と測定値

サイズ $W = 0.5\mu\text{m} - 4.0\mu\text{m}$ 、 $L = 0.26\mu\text{m} - 2.0\mu\text{m}$ の MOS バラクタの $f=20\text{GHz}$ の Q_c の測定値および式 (1-3) を用いた計算値の W/L 依存性を図 2-8 に示した。グラフから L 一定の場合も W 一定の場合も測定値と計算値の傾向が一致していることが読み取れる。この時 Q_c の計算値は $W/L = 5.4$ で飽和している。

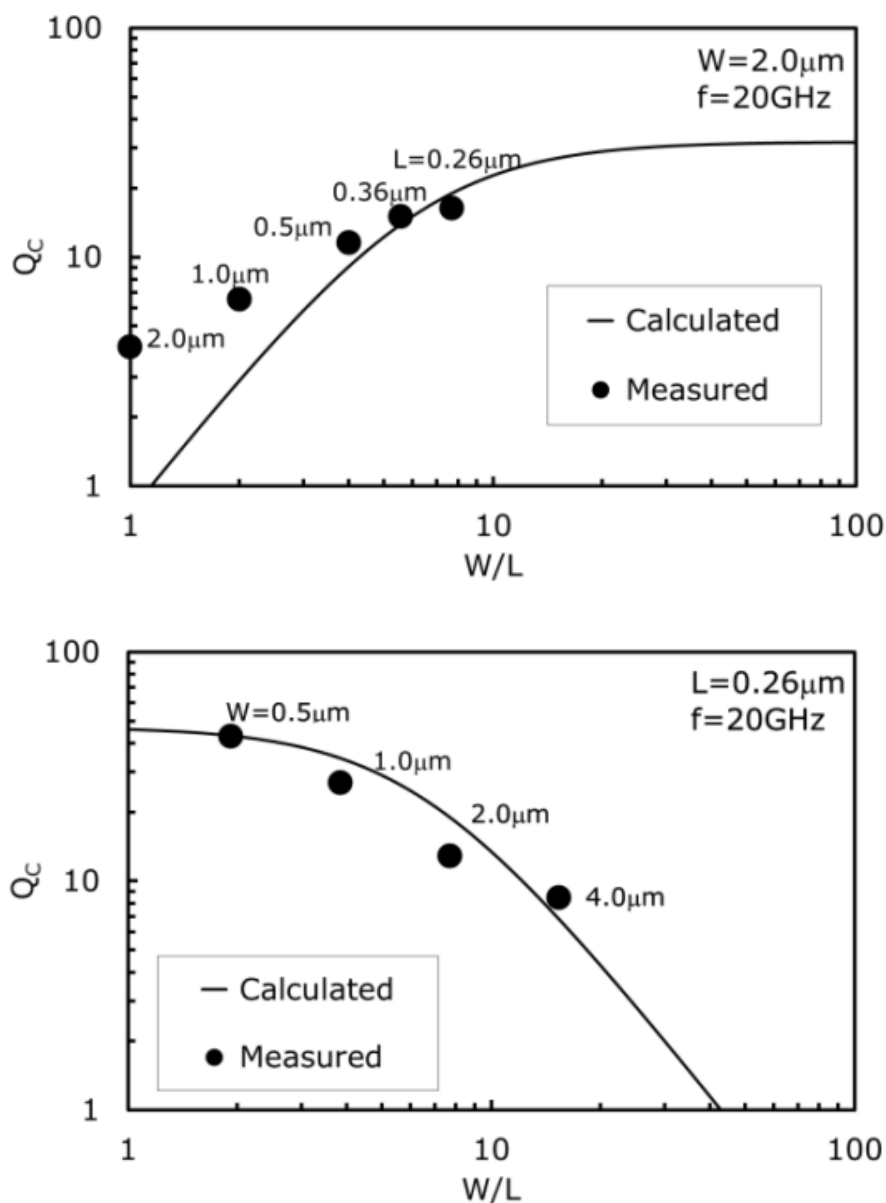


図 2 - 8 MOS バラクタの Q_c の測定値と計算値の W/L 依存の比較
 (上図) W 一定 (下図) L 一定

2.6 C-V カーブのスケラビリティ

N⁺ MOS バラクタの $f = 20$ GHz における C-V カーブの測定値とシミュレーション値の L と W に対する依存性を図 2-9(a) - (c) で示し、 Q_C の周波数依存性を図 2-9(d) - (f) で示す。同様に P⁺ MOS バラクタの $f = 20$ GHz における C-V カーブの測定値とシミュレーション値の L と W に対する依存性を図 2-10(a) - (c) で示し、 Q_C の周波数依存性を図 2-10(d) - (f) で示す。

PSP normal モデルと PSP SFC モデルのモデルパラメータの抽出は、最初に、大きなサイズ ($W/L = 2 \mu\text{m}/2 \mu\text{m}$) に LW 依存性のないグローバルパラメータを用いてモデルフィッティングを行い、その後、小さなサイズ ($W/L = 0.5 \mu\text{m}/0.26 \mu\text{m}$) を含むように LW 依存性を持つパラメータを用いてフィッティング領域を拡大する手順で行った。大きいサイズの MOS バラクタのパラメータ抽出の際には、SFC などの任意の寄生素子に注意を払う必要がないため、この手順は合理的である。

図 2-9 (a) ~ (c) を見ると、N⁺ MOS バラクタの CV 特性の測定値とシミュレーション値は、 $W/L = 2 \mu\text{m}/2 \mu\text{m}$ の大きい MOS バラクタでは両方のモデルとも良い一致を示している。しかし、 $W/L = 0.5 \mu\text{m}/0.26 \mu\text{m}$ の小さい MOS バラクタでは PSP SFC モデルは良い一致を示すが PSP Normal モデルの精度は不十分である。測定データとシミュレーション結果との誤差は PSP SFC モデルを使用した場合 0.2% となり、一方、PSP Normal のモデルを使用した場合、18.9% である。

図 2-10(a)~(c) では P⁺ MOS バラクタを用いて同様の結果を示している。測定データとシミュレーション結果との誤差は $W/L = 0.5 \mu\text{m}/0.26 \mu\text{m}$ で PSP SFC モデルを使用した場合 0.8%、PSP normal のモデルを使用した場合は 22.1% になる。N⁺ MOS バラクタと P⁺ MOS バラクタの他のサイズの測定値とシミュレーション値の差異を図 2-11 にまとめて示した。N⁺ MOS バラクタと P⁺ MOS バラクタの両方において PSP SFC モデルの差異は 10% 以内であるのに対し、PSP normal モデルは差異が 20% を超える場合もある。これらの結果から、PSP SFC モ

デルを使用してのシミュレーションは $L < 0.5\mu\text{m}$ の小型の MOS バラクタのシミュレーション精度を上昇させることがわかる。

Q_{c-f} 特性の測定値とシミュレーション値を図 2-9 (d) ~ (f) と、図 2-10 (d) ~ (f) にそれぞれに示した。準ミリ波・ミリ波領域においても測定値とシミュレーション値は良好な一致を示している。(図 2-11)

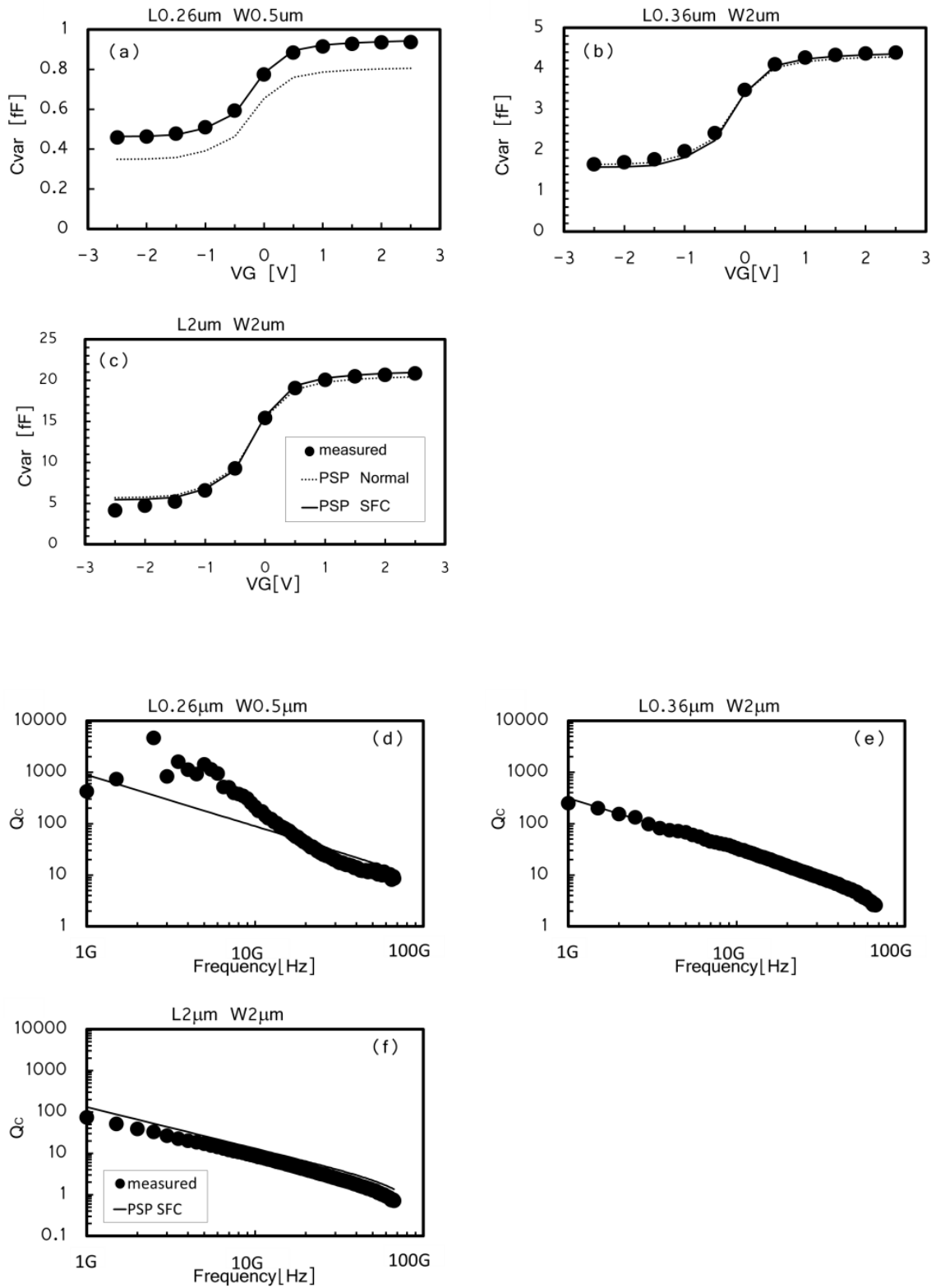


図 2-9 N⁺MOS バラクタの W と L 依存性
 (a)-(c) $C - V$ ($f = 20$ GHz)、(d) - (f) $Q_c - f$ ($V = 0$ V)

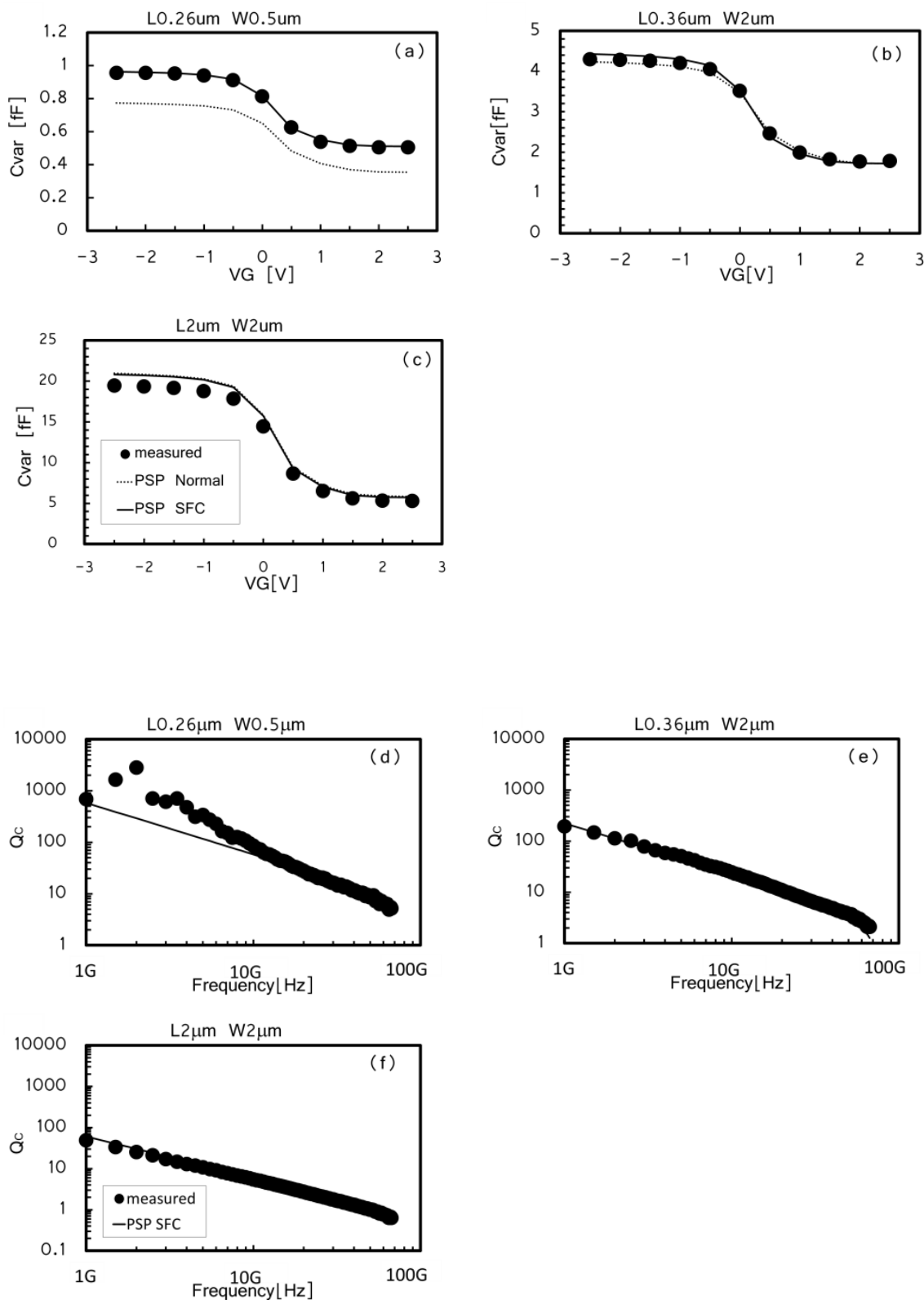


図 2-10 P^+ MOS バラクタの W と L 依存性
 (a) - (c) $C - V$ ($f = 20$ GHz)、(d) - (f) $Q_c - f$ ($V = 0$ V)

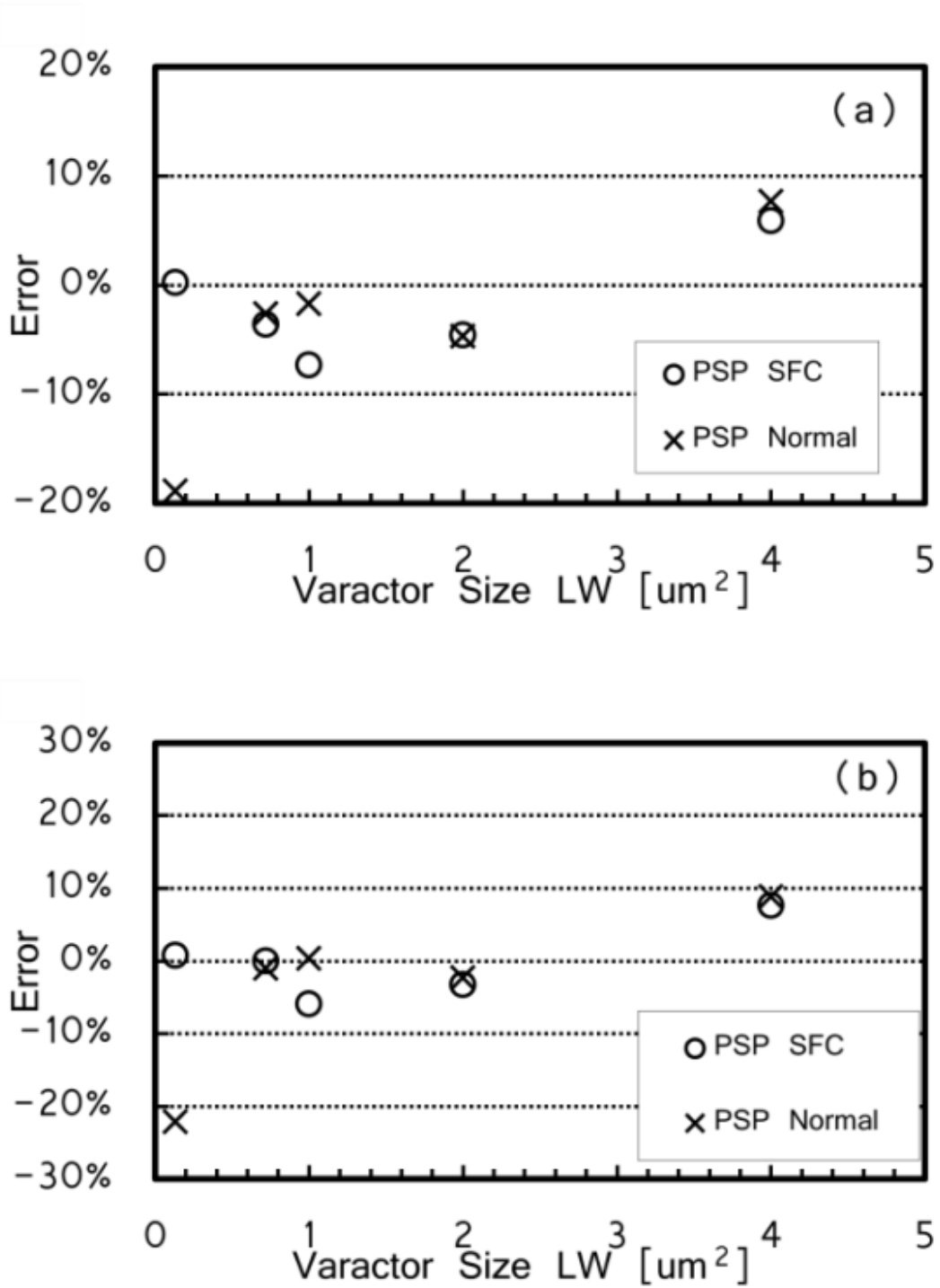


図 2 - 11 C_{var} のシミュレーションエラー $V=0V$
 (a) N^+ MOS バラクタ (b) P^+ MOS バラクタ

Q_C - V 特性の N⁺MOS バラクタと P⁺MOS バラクタの測定値とシミュレーション値を図 2-12 (a) 及び (b) に示した。 $W/L=0.5\ \mu\text{m}/0.26\ \mu\text{m}$ の MOS バラクタの $V_G=0.5\text{V}$ 以下のデータは正確に測定することができなかった。これは取り扱う Y パラメータの値が、高 Q 値領域の場合には非常に小さかったため、雑音による測定誤差の影響を受けたためである。N⁺MOS バラクタの Q_C は $f=20\text{GHz}$ 、 $V_G=0\text{V}$ において $W/L=0.5\ \mu\text{m}/0.26\ \mu\text{m}$ で 42.8 となり、対照的に $W/L=2\ \mu\text{m}/2\ \mu\text{m}$ では $Q_C=4.1$ であった。

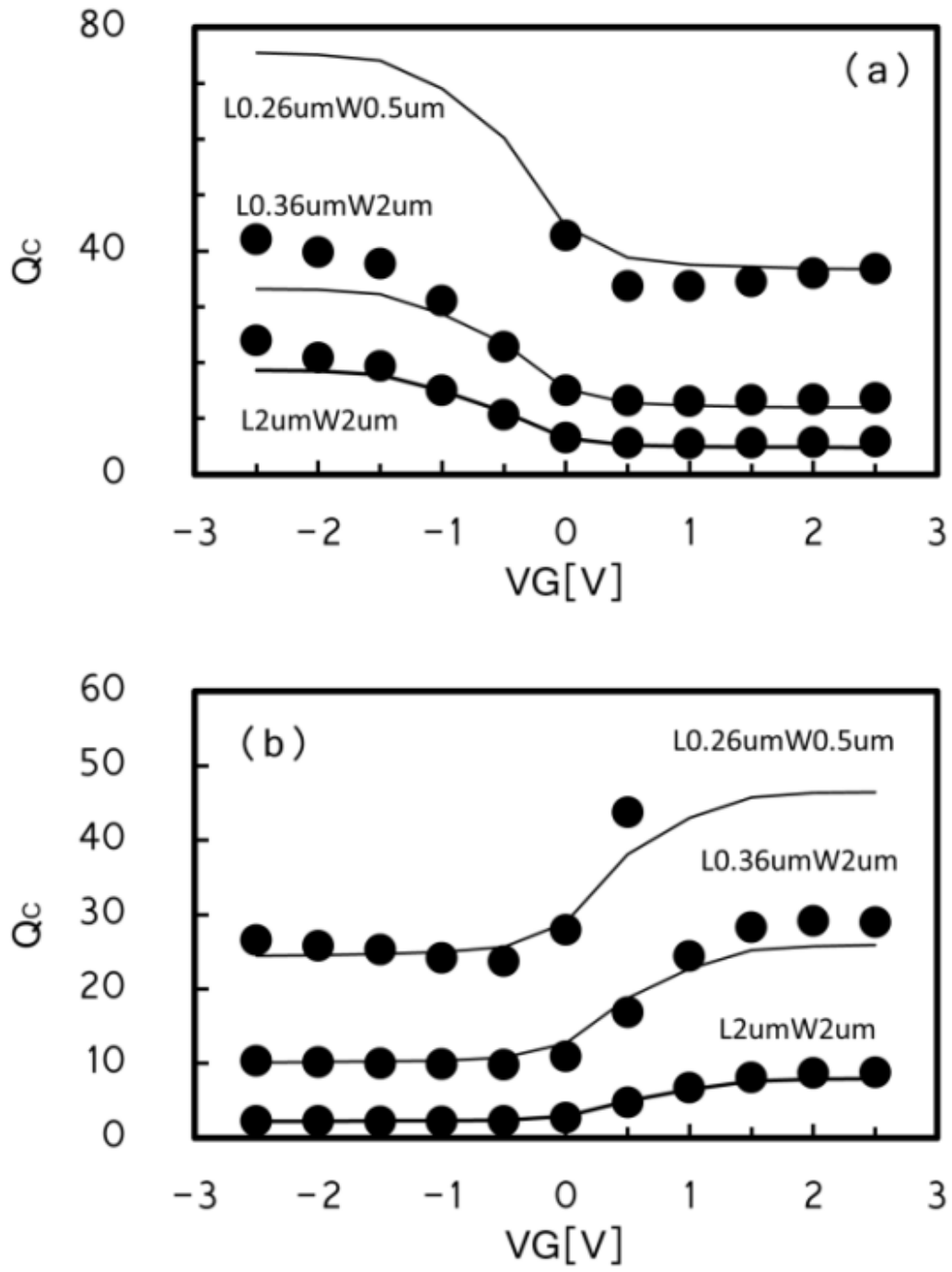


図 2 - 12 (a) N+MOS バラクタの Q_c - V 、(b) P+ MOS バラクタの Q_c - V

しかしながら図 2-13 に示すように N⁺MOS バラクタの C_{max}/C_{min} は $W/L = 2\ \mu\text{m} / 2\ \mu\text{m}$ から $0.5\ \mu\text{m} / 0.26\ \mu\text{m}$ 、になることで 5.0 から 2.0 に減少する。同様に P⁺MOS バラクタの C_{max}/C_{min} は 3.7 から 1.9 に減少し、MOS バラクタの LW のサイズが小さくなるほど C_{max}/C_{min} が小さくなることがわかる。

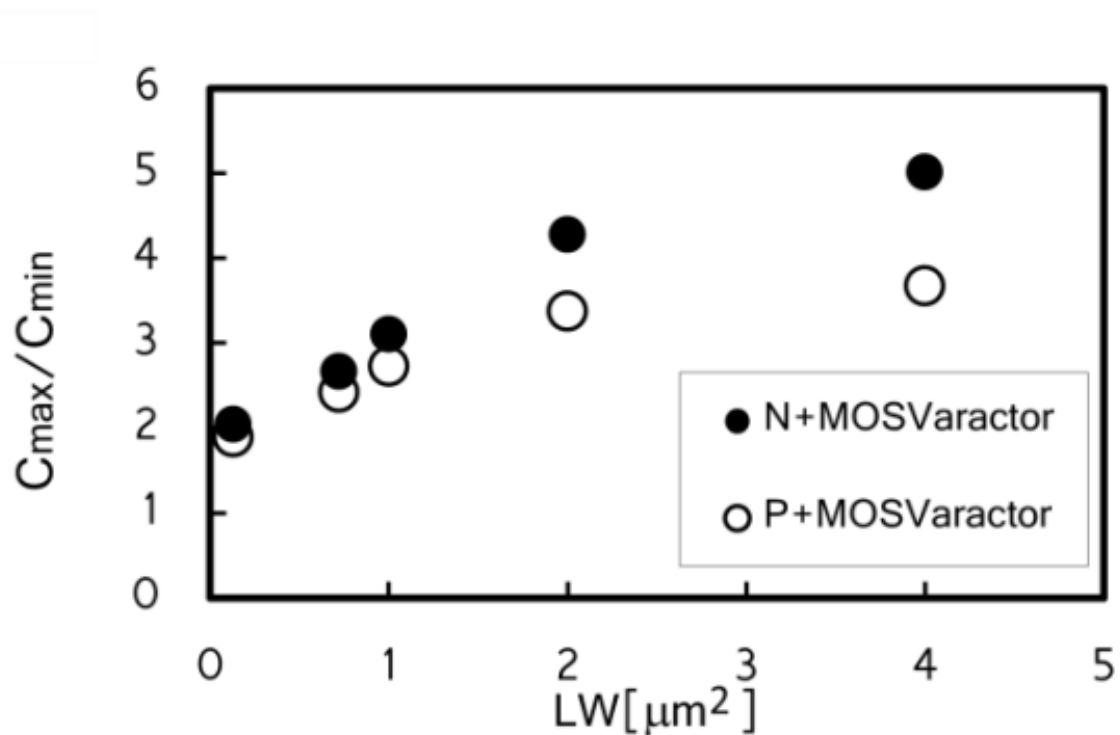


図 2 - 13 MOS バラクタのサイズ別の C_{max}/C_{min}

2.7 レイアウトの多様性と SFC モデル

2.6 節では図 2-4 のタイプ A のレイアウトで作成した MOS バラクタの測定値を用いて結果を考察した。本節では、タイプ B のレイアウトで作成した MOS バラクタの測定値を用いてモデルの考察を行う。これら 2 種類のレイアウトをカバーするスケーラブルモデルは PSP SFC モデルと PSP-MOSVAR モデルパラメータをそれぞれの測定値に合わせて最適化することによって作成することができる。

図 2-14 の(a) - (c)は N^+ MOS バラクタの $C-V$ 特性を(d) - (f)は Q_C-f 特性をそれぞれ表している。図 2-15 では他のサイズの測定値とシミュレーションの差異について示している。エラーはすべて 10%以内であり、スケーラブルモデルとして十分な精度であるといえる。

図 2-16 には Q_C-V 特性を示した。 Q_C-f および Q_C-V 特性の測定データとシミュレーション結果は良い一致を示している。今回の結果では、プロセスの変動により、タイプ B のゲートポリシリコン抵抗がタイプ A よりも約 10 倍になっているため 2 つの Q 値を単純に比べることはできないが、PSP SFC モデルがタイプ A とタイプ B の 2 種類のレイアウトについて汎用性があることが確認できた。

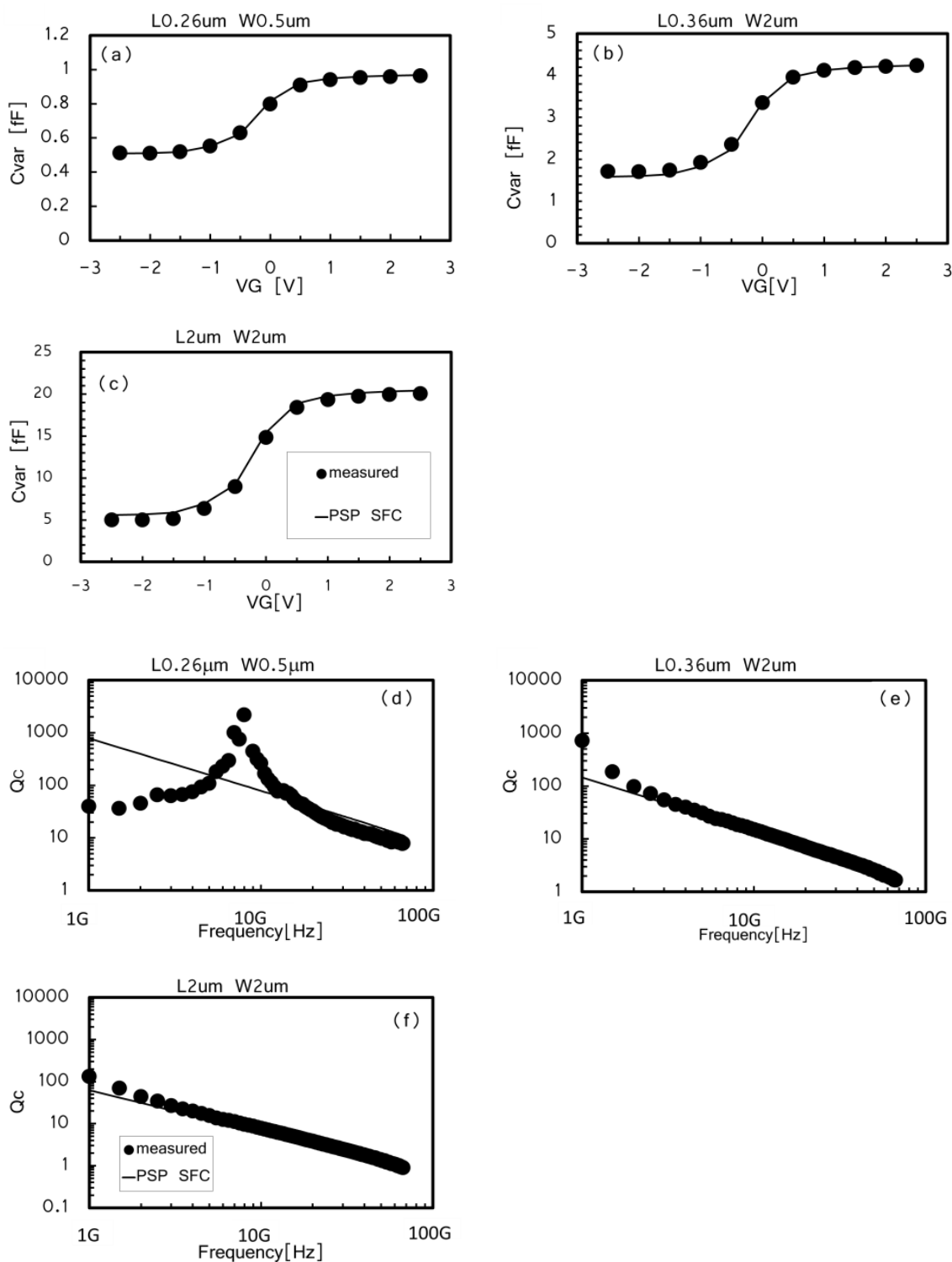


図 2 - 14 タイプ B レイアウトの N^+ MOS バラクタの諸特性
 (a) - (c) $C - V$ ($f = 20$ GHz)、(d) - (f) $Q_c - f$ ($V = 0$ V)

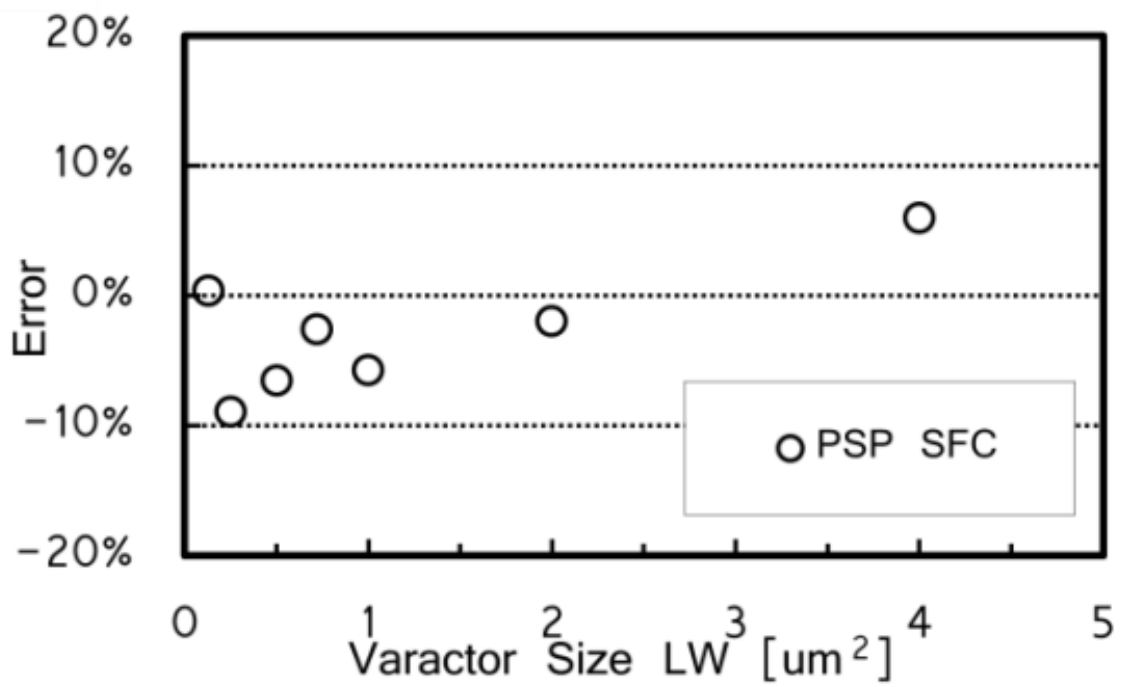


図 2 - 15 C_{var} のシミュレーションエラー
V_G = 0V (タイプ B レイアウトの N⁺ MOS バラクタ)

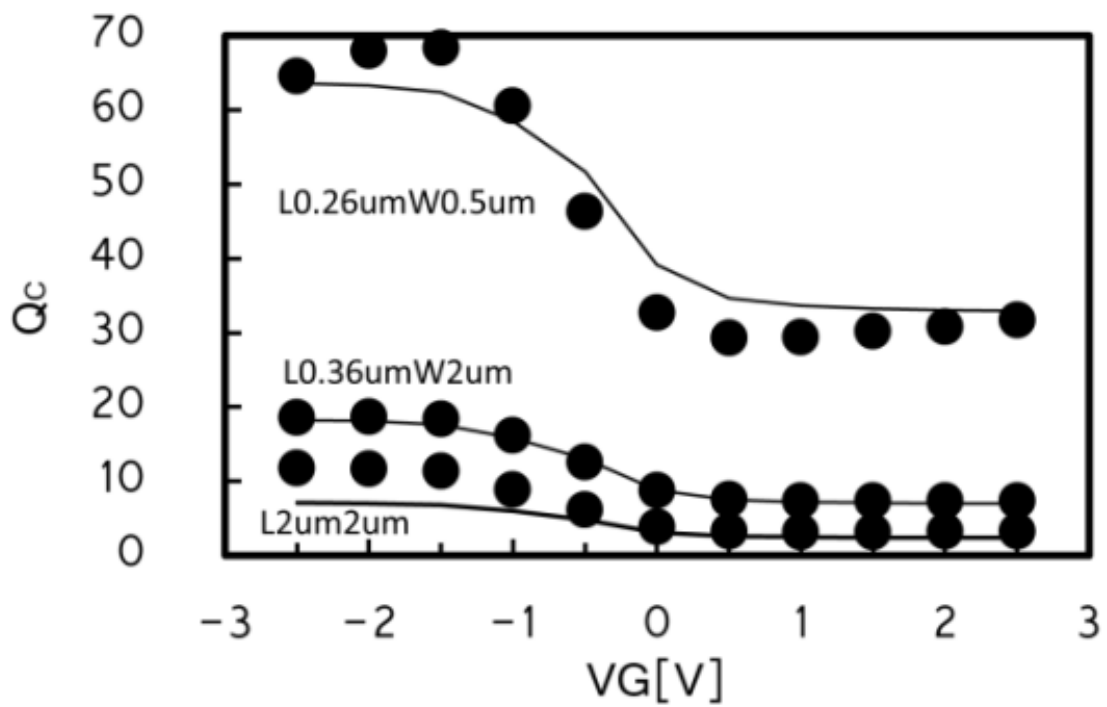


図 2 - 16 タイプ B レイアウトの N⁺ MOS バラクタの Q-V

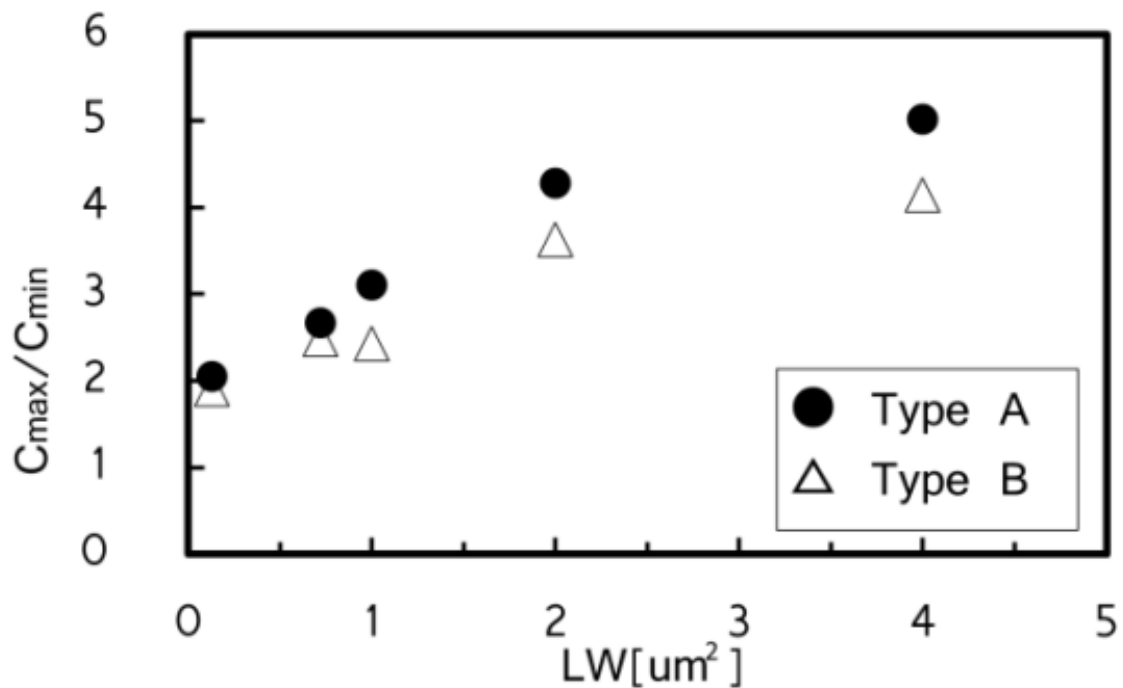


図 2 - 17 タイプ A とタイプ B の $C_{\text{max}}/C_{\text{min}}$ の比較

タイプ A およびタイプ B の $C_{\text{max}}/C_{\text{min}}$ を図 2-17 に示した。図から両方の $C_{\text{max}}/C_{\text{min}}$ は $LW=1\mu\text{m}^2$ 、まではほぼ同じであるのに対し、 $LW>1\mu\text{m}^2$ ではタイプ B はタイプ A よりも低下している。これはタイプ B の広い配線に起因する寄生容量が大きくなるためである。

2.8 VCO の位相雑音

MOS バラクタの Q 値の改善による位相雑音の改善を確認するために、発振周波数が約 22GHz の 3 種類の VCO を設計・試作した。電源電圧は 1.2V であり、バイアス回路を含む全消費電流は 14mA である。すべての回路シミュレーションは、Cadence 社の Spectre-RF を用いて行った。発振周波数の実測とシミュレーションの比較を図 2-18 に示す。このシミュレーションには、寄生容量と寄生インダクタンスが含まれている。

制御電圧 (V_{ctrl}) を 0 から 1.2V まで掃引することは、バラクタのゲート・バックゲート間の電圧を 0 から 1.2V まで印加することと等価である。これは、図 2-6 に示すように、VCO におけるバラクタのゲート端子の DC 電圧は 0V 程度であることと、制御端子がバックゲートに接続されているためである。

3 種類の MOS バラクタの容量は $V_G=0V$ で $W/L=0.5\mu\text{m}/0.26\mu\text{m}$ で 383 fF、 $W/L=2\mu\text{m}/0.36\mu\text{m}$ で 402 fF、 $W/L=2\mu\text{m}/2\mu\text{m}$ で 444 fF であり、VCO の発振周波数は $V_{ctrl}=0V$ でそれぞれ 21.7 GHz、22.5 GHz、22.4GHz である。0V での発振周波数は $W/L=2\mu\text{m}/0.36\mu\text{m}$ と $W/L=2\mu\text{m}/2\mu\text{m}$ において実測、シミュレーション値共に傾向が逆転している。これは実測は測定誤差の範囲であるとも考えられるが、シミュレーションに用いる MOS バラクタのレイアウト以外の部分の寄生容量、インダクタの配線部分の寄生インダクタンス等の回路シミュレーションに組み込めていない部分の影響を考慮し、モデルを改善する必要がある。また、発振周波数の測定値とシミュレーション値との差は $V_{ctrl}=0V$ では非常に接近し、 V_{ctrl} が高い領域で増加するが、その差分の最大値は 2.5% 未満であった。これは図 2-14 に示したようにモデルの容量の誤差が 5% 未満であることと同等である。

また、VCO の測定値のチューニング範囲はそれぞれ 4.8%、6.8%、および 11.1% でシミュレーション値のチューニング範囲は 3.2%、4.3%、8.8% である。 C_{max}/C_{min} はそれぞれ、2.0、2.6、および 4.8 であるので、測定値の VCO のチューニング範囲と、シミュレートされた VCO のチューニング範囲と MOS バラクタの C_{max}/C_{min} は良い対応を示している。

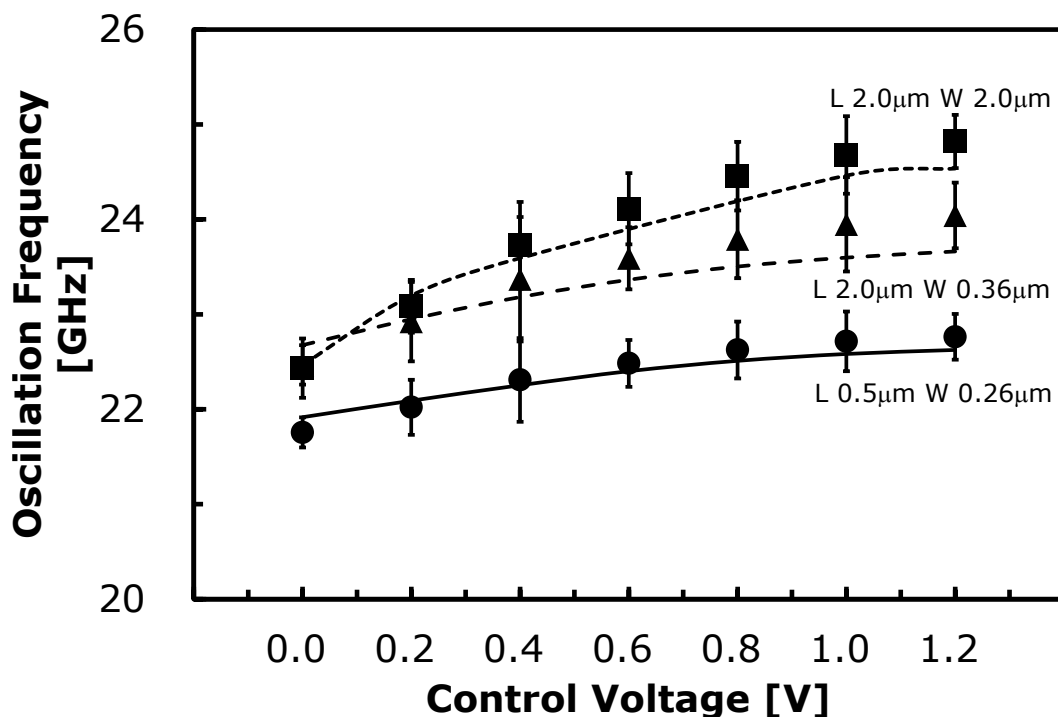


図 2 - 18 コントロール電圧機能にそれぞれ 3 種類の MOS バラクタを用いた 22 GHz の 3 種類の VCO の比較。シンボルが測定値、線がシミュレーション値

図 2-19 ではサイズの違う MOS バラクタを用いて作成した 3 種類の 22GHz の VCO の位相雑音の測定結果を示した。1MHz オフセットの位相雑音の測定値はそれぞれ、 $W/L = 0.5 \mu\text{m} / 0.26 \mu\text{m}$ の MOS バラクタを用いた VCO で $-106 \text{ dBc} / \text{Hz}$ 、 $W/L = 2.0 \mu\text{m} / 0.36 \mu\text{m}$ の MOS バラクタを用いた VCO で $-102 \text{ dBc} / \text{Hz}$ 、 $W/L = 2.0 \mu\text{m} / 2.0 \mu\text{m}$ の MOS バラクタを用いた VCO で $-97 \text{ dBc} / \text{Hz}$ である。上記 3 種類の MOS バラクタを用いた場合の Q_{Tank} に関するオフセット周波数が 100kHz と 1MHz における位相雑音の測定値とシミュレーション値の比較を図 2-20 に示す。ここで、 Q_{Tank} は式 (1-7) を用いて計算した。位相雑音は、タンク回路だけでなく、MOSFET の雑音等にも依存するので、測定値とシミュレーション値との間に差が生じる。測定値とシミュレーション値との間の最大の差分は、キャリアからのオフセット周波数 1 MHz で 5dB 未満であった。位相雑音特性は大きく Q_{Tank} に依存し、また、バラクタサイズが大きく Q_{Tank} の向上に貢献していることがわかる。

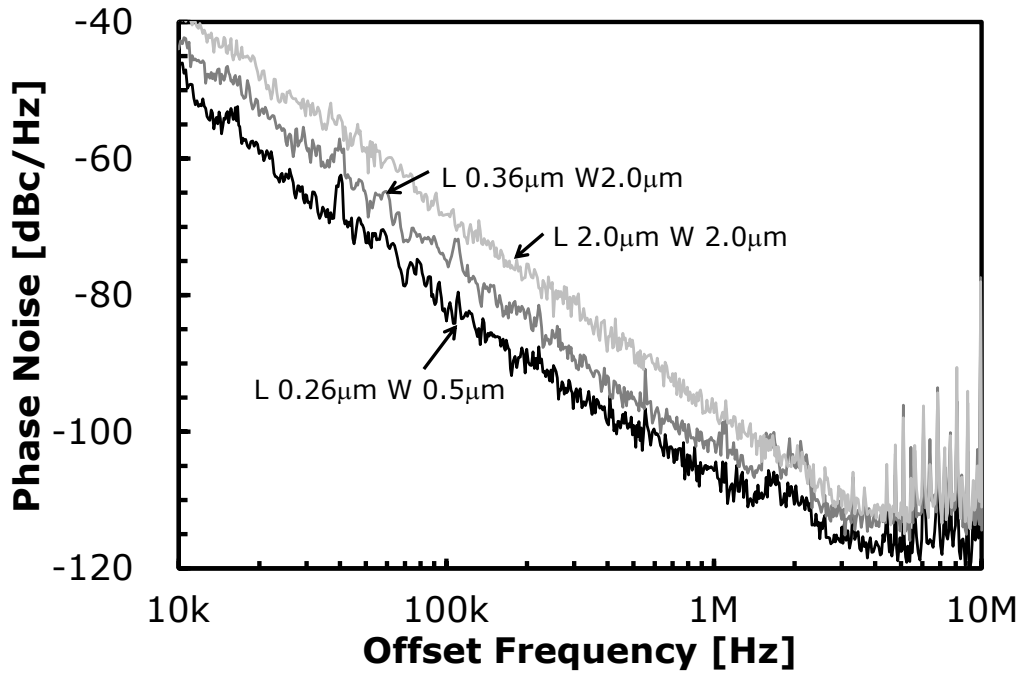


図 2 - 19 3 種類の MOS バラクタを用いた 22GHz の VCO の位相雑音の測定値

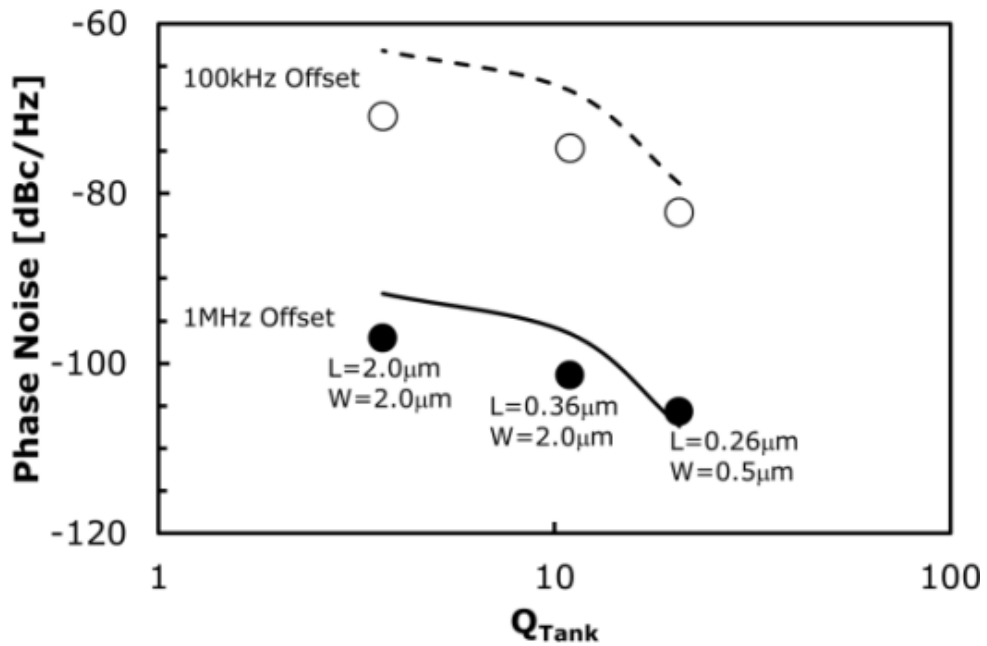


図 2 - 20 3 種類の MOS バラクタを使った 22GHz VCO の 1MHz と 100MHz オフセットの位相雑音の測定値とシミュレーション値の比較

2.9 MOS バラクタのまとめ

本章では MOS バラクタの Q 値を高くすること、サイズに対する最適化の方法、準ミリ波 MOS バラクタのための新規のスケラブルモデルに焦点を当て、それらを MOS バラクタの測定値と VCO の測定値によって確認した。また、提案した PSP SFC モデルは、レイアウトの汎用性をもつことを確認した。準ミリ波領域において高い Q 値の MOS バラクタを実現するためには Q 値の W/L の依存性が重要であり、 Q 値は有限の値で飽和することを実測値と計算値により確認した。つまり、高い Q 値の MOS バラクタを実現するためにはサイズの小さな MOS バラクタを使用することが効果的であるが、同時に、 C_{max}/C_{min} の減少を招くトレードオフが存在するため、スケラブルな MOS バラクタモデルで最適な MOS バラクタのサイズを選ぶことが様々なアプリケーションの要件をカバーするために必要である。実際の測定結果では MOS バラクタのサイズを $W/L = 2 \mu\text{m} / 2 \mu\text{m}$ から $0.5 \mu\text{m} / 0.26 \mu\text{m}$ に減少させると、 Q 値は 7 倍になるが、 C_{max}/C_{min} は 60% になることがわかった。

また、スケラブルモデルを作成する際に、従来の PSP モデルのシミュレーションと測定値の誤差は約 20% もあり、スケラブルモデルとして十分でないことから、PSP SFC モデルを提案した。PSP SFC モデルは広い寸法範囲をカバーし、 N^+ MOS バラクタの最小サイズの精度を 18.9% から 0.2% まで向上し、 P^+ MOS バラクタも同様に 22.1% から 0.8% まで改善した。楕円構造の差動 MOS バラクタは、2 種類のレイアウトが可能であり、提案された PSP SFC モデルはこれら二つをカバーし、レイアウト汎用性を持つことが確認できた。

この PSP SFC モデルを用いて 22GHz の VCO を 3 種類設計・試作した。オフセット周波数 1MHz における位相雑音を比較すると、 $W/L = 0.5 \mu\text{m} / 0.26 \mu\text{m}$ の MOS バラクタを用いた VCO で -106 dBc / Hz、 $W/L = 2.0 \mu\text{m} / 0.36 \mu\text{m}$ の MOS バラクタを用いた VCO で -102 dBc / Hz、 $W/L = 2.0 \mu\text{m} / 2.0 \mu\text{m}$ の MOS バラクタを用いた VCO で -97 dBc / Hz となった。1MHz オフセットにおける位相雑音は、最大 9dB 改善しており、本研究で進めた MOS バラクタの最適構造により、 Q 値を向上できたことを示している。また、発振周波数と位相雑音の条件

を確認した結果、発振周波数の測定データとシミュレーション結果との差が5%未満であり、キャリアからのオフセット 1MHz での位相雑音は 5dB 未満であった。従って、この研究は準ミリ波領域での高機能な LC-VCO の実現に大いに役立つことが示された。

第3章 MOM キャパシタ

3.1 MIM キャパシタと MOM キャパシタ

LSI 上で実現できるキャパシタとしては、MOS キャパシタ、Poly-Poly キャパシタ metal-insulator-metal (MIM) キャパシタ、metal-oxide-metal (MOM) キャパシタ等がある。このうち MOS キャパシタ、Poly-Poly キャパシタは周波数特性が悪いため、高周波領域で使用されるキャパシタでは MIM キャパシタと MOM キャパシタの 2 種類が存在する。この 2 つの大きな違いは MIM キャパシタが平面構造であるのに対して、MOM キャパシタはメタル層の積載構造をもつことである。平面構造の MIM キャパシタはメタルとメタルの間に設置する絶縁膜をパターニングする必要があるためマスク数が多くなり、またブレイクダウン電圧の低下やリーク電流の増加を起こさないように容量密度を上げる際は十分な絶縁膜の厚さが必要となる欠点がある。一方、MOM キャパシタの場合はメタル層を増やすことで容量を増やすことができるので、CMOS プロセスでは MOM キャパシタが扱いやすい。MOM キャパシタの精度を表す Q 値は式(3-1)で表すことができる。

$$Q_c = \frac{1}{2\pi fCR} \quad (3-1)$$

高い Q 値の MOM キャパシタを使用するために、3 章では寄生インダクタンスを含む MOM キャパシタのスケラブルモデルに焦点をあてた。

3.2 MOM キャパシタのスケラブルモデル

MOM キャパシタの構造は図 1-12 で示したように anode の配線と cathode の配線を市松に並べている。スケラブルモデルを作成するにあたり、図 3-1 の MOM キャパシタの平面図と断面図を用いて MOM のスケラリングパラメータを定義する。ここで、 L はコアのメタルフィンガーの長さ、 W はコアのメタルフィンガーの幅である。 s はメタルフィンガーの間のスペース、 L_{ex} はメタルフィンガーのコアから楕形のベースにつながる部分の長さ、 L_{base} は楕形ベースの縦の長さ、 W_{base} は楕形ベースの横幅である。 T_m はメタル層の厚さ、 T_{ILD} はメタル層間のギャップを表している。また N はフィンガー数、 M はメタル層の数を表している。平行方向の容量は C_h 、縦方向の容量は C_v 、コアのメタルフィンガーの寄生抵抗は R_{finger} 、 L_{ex} に対応する寄生抵抗は R_{ex} 、楕形ベース部分の寄生抵抗は R_{base} 、バイアスの寄生抵抗は R_{via} 、更に、メタルフィンガーの寄生インダクタンスは L_{finger} 、楕形ベースの寄生インダクタンスは L_b で表している。

MOM キャパシタの等価回路は、図 3-2 で示すように容量 (C_{MOM}) を中心に左右対称の構造になっている。ここで、容量は C_{MOM} 、寄生抵抗は R_{MOM} 、寄生インダクタンスは L_{MOM} 、基板とメタルの間の酸化膜の容量は C_{ox} 、基板容量は C_{sub} 、基板抵抗は R_{sub} である。

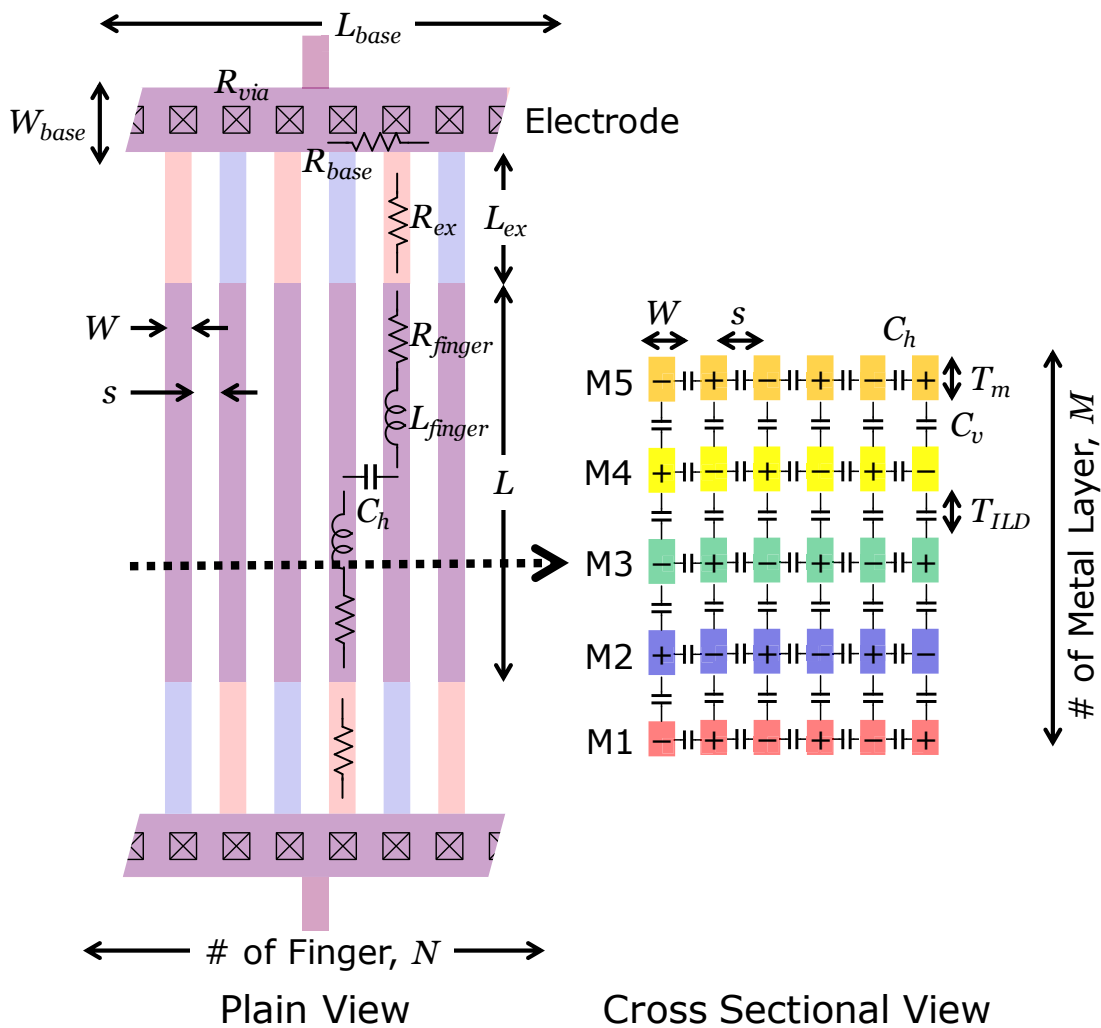


図 3-1 MOM キャパシタの平面図と断面図

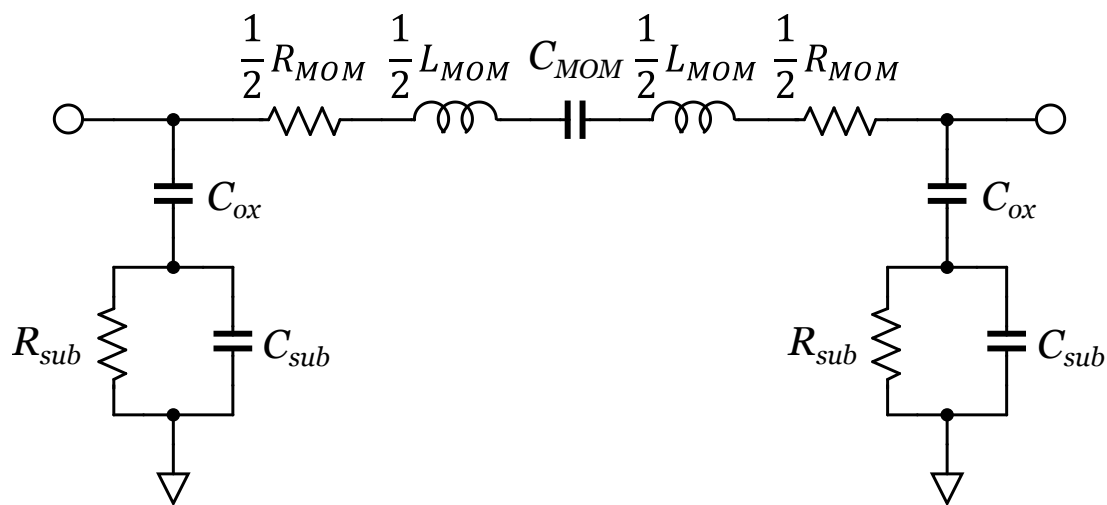


図 3-2 MOM キャパシタの等価回路

3.2.1 容量

MOM の容量は式 (3-2) で計算される。単純な MOM 構造の場合は参考文献[33-34]の式で十分であるが、測定した実際の構造とは乖離があるのでフィッティングパラメータ F_c を追加している。

$$C_{MOM} = C_h + C_v$$

$$= F_c \epsilon_{ILD} L \left\{ \frac{T_m}{s} M(N-1) + \frac{W}{T_{ILD}} (M-1)N \right\} \quad (3-2)$$

ここで ϵ_{ILD} はメタルフィンガーを覆う酸化膜の誘電率である。

3.2.2 寄生抵抗

MOM の寄生抵抗は式(3-3)で表される。

$$R_{MOM} = 2(R_{finger} + R_{ex} + R_{base} + R_{via,tot}) \quad (3-3)$$

このうちメタルフィンガーの寄生抵抗 R_{finger} は式 (3-4) のように L 方向に沿う $R_{fingerL}$ と W 方向に沿う $R_{fingerW}$ の成分を持つ。

$$R_{finger} = R_{fingerL} + R_{fingerW} = \frac{\rho_m}{T_m MN} \left(\frac{L}{W} + \frac{W}{L} \right) \quad (3-4)$$

ρ_m はメタルの抵抗率である。 R_{ex} は式(3-5)で示され、 R_{base} は式 (3-6) のように MOSFET のゲート電極の抵抗と同じ式で表すことができる[35]。

$$R_{ex} = \rho_m \frac{L_{ex}}{WT_m} \frac{1}{MN} \quad (3-5)$$

$$R_{base} = \frac{1}{3} \rho_m \frac{\frac{1}{2} L_{base}}{W_b T_m M} = \frac{1}{6} \rho_m \frac{(W+s)N-s}{W_b T_m M} \quad (3-6)$$

MOM キャパシタはトップメタルで他のデバイスに接続されているため、下層のメタル層のビアの抵抗は上層のメタル層よりも高くなっている。ビアの抵抗の平均値は式 (3-7) を用いて計算することができる。

$$R_{via,tot} = \frac{R_{via} \sum_{n=0}^{M-1} n}{N_{via} M} = R_{via} \frac{M-1}{2N} \quad (3-7)$$

ここで N_{via} はインターコネクションのビアの数を表している。もし、メタルとビアのピッチが同じ場合は、メタル層の数と N に N_{via} は比例する。また、高周波領域における表皮効果の影響を考慮して抵抗を計算を行った[36]。メタルを流れる電流の表皮効果の影響については 4.1 節で述べる。

3.2.3 寄生インダクタンス

MOM キャパシタはメタルフィンガー構造であるため、寄生インダクタンスがあり、それは MIM キャパシタと比較して、非常に大きい可能性がある。準ミリ波・ミリ波領域のキャパシタを考えると、寄生インダクタンスは数 pH 程度でも、回路特性に影響を与える。MOM キャパシタの全インダクタンスは、コア部分のインダクタンスとベース部分のインダクタンスにより、式 (3-8) のように表すことができる。

$$L_{MOM} = L_{core} + L_b \quad (3-8)$$

MOM キャパシタのコア部分は多くのフィンガーで構成されているため、それぞれの組み合わせの数の非常に多くの相互インダクタンスが存在する。式 (3-9) ではそのフィンガーのインダクタンス L_{finger} を表した。

$$L_{finger} = L_{self} + \sum L_m = L_{self} \left(1 + \sum_{m=2}^{NM} k_m \right) \quad (3-9)$$

ここで、 L_{self} はフィンガーの自己インダクタンス、 L_m は相互インダクタンス、 k_m はフィンガー一間の結合係数である。それぞれのフィンガーの自己インダクタンスは長さが等しいので

同じため、 $L_m = k_m L_{self}$ である。つまり、MOM キャパシタのコアのインダクタンス L_{core} は式

(3-10) で近似することができる。

$$L_{core} \approx \frac{L_{finger}}{NM} \quad (3-10)$$

また、 L_{self} は式(3-11)のようにフィンガー長 L の長さに比例する。

$$L_{self} = F_L L \quad (3-11)$$

ここで、 F_L は単位長あたりのインダクタンスのパラメータである。フィンガー数 (NM) が非常に多い場合、メタルフィンガーの距離も非常に大きくなるため、結合係数 (k) は急激に減少することになる[37]。

MOM キャパシタのコア以外の外部部分のインダクタンスは $L_b = F_L L_{base}$ で表されるため、式 (3-12) のように N に比例する。

$$L_b = F_L L_{base} = F_L [(W + s)N - s] \quad (3-12)$$

3.2.4 基板ネットワーク

C_{ox} , C_{sub} , R_{sub} は図 3-2 で示されるように基板ネットワークにより決定されるパラメータである。基板ネットワークのパラメータはエリアの成分と周辺成分で式(3-13)- (3-15) のように計算することができる。

$$C_{ox} = C_{ox,a} A_{MOM} + C_{ox,p} P_{MOM} \quad (3-13)$$

$$C_{sub} = C_{sub,a} A_{MOM} + C_{sub,p} P_{MOM} \quad (3-14)$$

$$R_{sub} = \frac{1}{\frac{A_{MOM}}{R_{sub,a}} + \frac{P_{MOM}}{R_{sub,p}}} \quad (3-15)$$

ここで、 A_{MOM} と P_{MOM} はそれぞれ MOM キャパシタの面積と周辺長である。 $C_{ox,a}$ 、 $C_{sub,a}$ 、 $R_{sub,a}$ はそれぞれエリアの酸化膜容量、基板容量、基板抵抗のパラメータ、 $C_{ox,p}$ 、 $C_{sub,p}$ 、 $R_{sub,p}$ は同様に、周辺成分の酸化膜容量、基板容量、基板抵抗のパラメータである。3.3 章以降ではメタル層が $M = 3$ と $M = 5$ の場合を具体的に取り扱うが、これらのパラメータは $M = 3$ と $M = 5$ の場合で当然違う値となっている。また本研究では、 C_{MOM} 、 R_{MOM} 、 L_{MOM} に比べて基板ネットワークの構成要素の値は非常に小さいため、パラメータは周波数に依存しないと仮定している。

3.3 モデル検証

通常、モデルは測定データを用いて検証を行うが、今回は MOM キャパシタの容量値を除き、EM (Electro-Magnetic) シミュレーションの値を用いて作成している。測定データでモデルを作成しようとする場合、十分な精度を得ようとする非常に多くのレイアウトパターンのテストチップが必要となる。また、測定データを用いる場合はデータのばらつきを考えなければならず、低い寄生抵抗は測定の限界精度の問題もあり、ばらつきを排除し、かつレイアウトパターンを増やすことでモデルの整合性を高めるためモデル作成には EM シミュレータの値を用いるほうが適している。EM シミュレーションの結果の検証のひとつとして、テストチップと同じレイアウト用いて容量の実測値との適合性を確認している。シミュレーション環境は Keysight Technology 社の Momentum EM シミュレータを使用し、s パラメータを y パラメータに変換し、図 3-2 の等価回路を用いて、各成分の値を抽出し[12]、計算した値との比較を行った。

MOM キャパシタのターゲットデバイスはメタル構造が M3 から M5 のメタル層を用いた 3 層メタル構造 ($M=3$) と、M1 から M5 のメタル層を用いた 5 層メタル構造 ($M=5$) があり、MOM キャパシタの容量は $f=60$ GHz アプリケーションの 50 fF と $f=30$ GHz アプリケーションの 100 fF、ターゲットプロセスは 65-nm CMOS とした。表 3-1 では今回の計算に用いたそれぞれのターゲット MOM キャパシタの構造をまとめている。

表 3-1 ターゲット MOM キャパシタの構造

Target C_{MOM}	M	L [μm]	N	A_{MOM} [μm^2]	P_{MOM} [μm]
50 fF	3	50	4	36.036	104.36
		20	10	40.812	46.76
		10	20	44.772	30.76
		5	40	51.192	28.76
		2	100	69.252	46.76
	1	170	84.072	72.76	
	5	20	6	23.628	45.16
		10	12	26.404	27.56
		5	24	30.456	22.36
		2	50	34.452	26.76
1		100	49.352	44.76	
100 fF	3	50	10	97.812	106.76
		20	24	100.956	52.36
		10	48	109.06	41.96
		5	94	121.176	50.36
		2	204	141.636	88.36
	1	408	202.12	167.96	
	5	50	6	56.628	105.16
		20	12	49.404	47.56
		10	26	58.548	33.16
		5	50	64.152	32.76
2		120	83.172	54.76	

MOM キャパシタのパターンによらず一定とした他のパラメータは $W = 0.1 \mu\text{m}$ 、 $s = 0.1 \mu\text{m}$ 、 $L_{ex} = 0.5 \mu\text{m}$ 、 $W_b = 0.24 \mu\text{m}$ 、 $T_m = 0.17 \mu\text{m}$ 、 $T_{ILD} = 0.17 \mu\text{m}$ 、 $L = 1$ から $50 \mu\text{m}$ である。また、ビアは $N_{via} = N$ でサイズ $0.1 \mu\text{m}^2$ で一定とし、EM シミュレーションのメッシュは最小 $0.02 \mu\text{m}$ で行った。

3.3.1 容量

MOM キャパシタのモデルは、 $M=3$ または $M=5$ 、 $L = 0.2 \mu\text{m}$ から $L = 50 \mu\text{m}$ 、 $N = 4$ から $N = 408$ の 46 種類のレイアウトを用いて抽出した。図 3-3 は $M=3$ と $M=5$ の MOM キャパシ

タの容量とトータルのフィンガー長 (MNL) の依存性をシミュレーションデータと測定データと式 (3-2) で計算した値を用いて比較している。

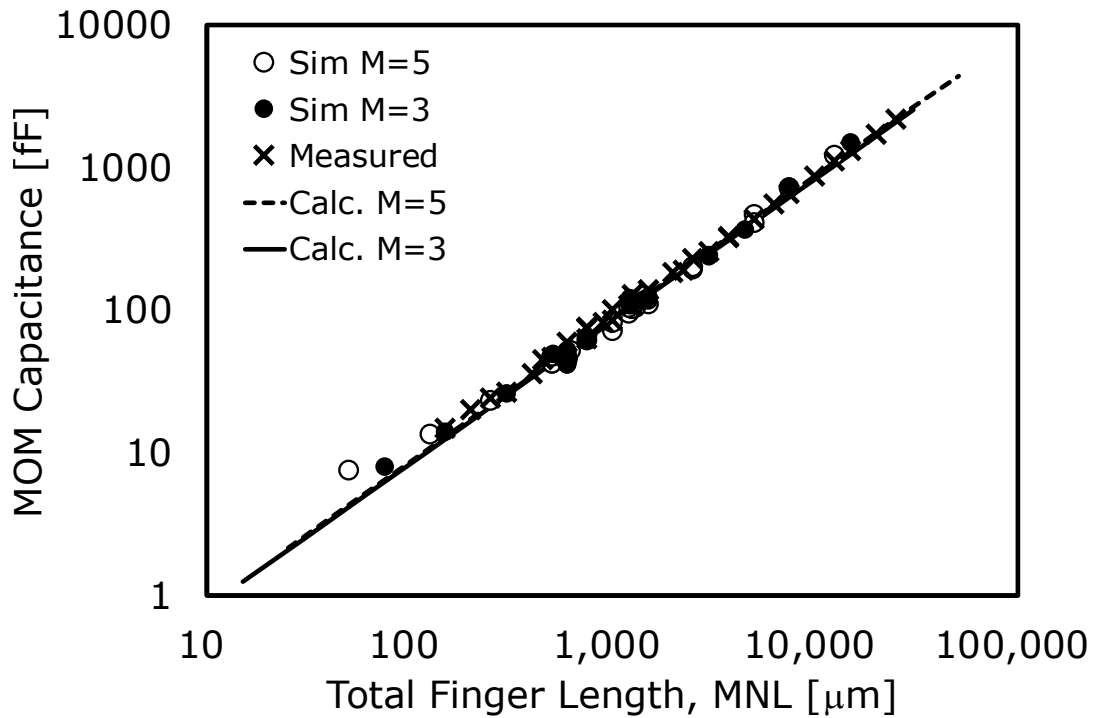


図 3-3 MOM キャパシタのシミュレーション値、測定値、計算値とトータルフインガー長 MNL との比較

容量は数 fF から数 pF、トータルフインガー長で表すと数十 μm から 10,000 μm 以上の広い範囲で、MOM キャパシタの計算値はシミュレーション値、測定値と一致している。容量の計算値と測定値の差を最小としたときの、式 (3-2) のフィッティングパラメータ F_c は 1.42 となった。

しかしながら、 $MNL < \text{数十}\mu\text{m}$ の非常に小さいサイズの計算値については、フィンガーのエッジ部分や、くし形のベース部分などの寄生容量の影響が強く表れるので、徐々に乖離が大きくなってきている。本章ではこれらの非常に小さいサイズの寄生容量の部分は実用性が低いため今回のモデルに含んでいない。

3.3.2 寄生抵抗

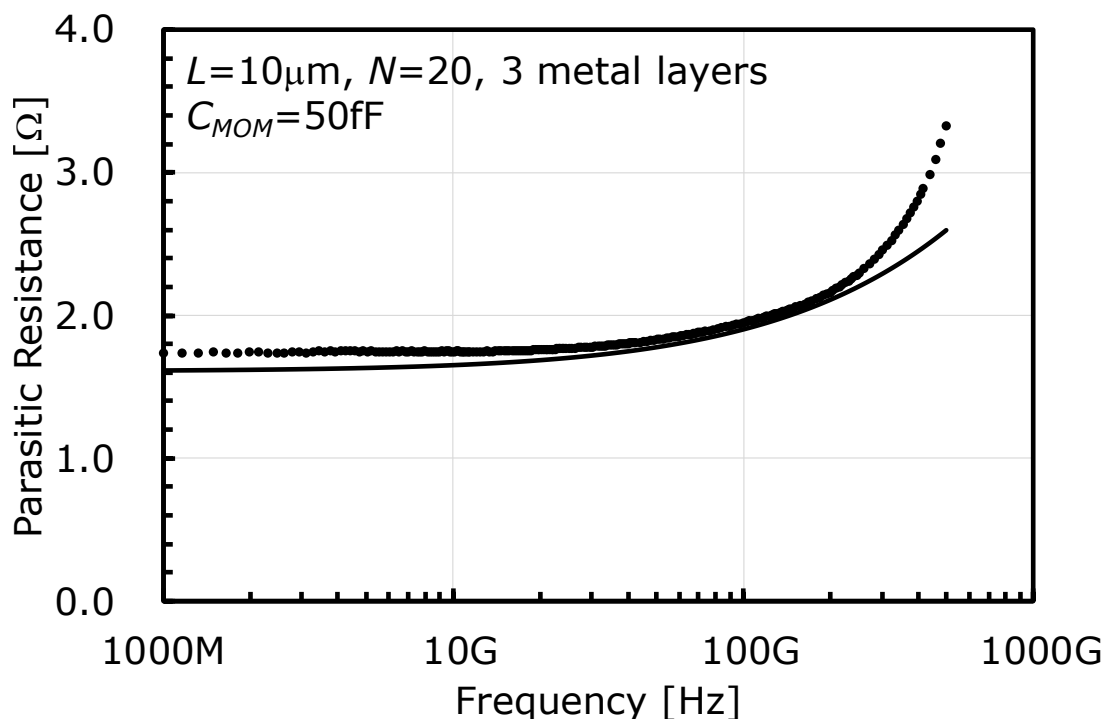


図 3-4 $M = 3$ 、 $C_{MOM} = 50$ fF の MOM キャパシタの寄生抵抗のシミュレーション値（実線）と計算値（点線）の周波数依存性

図 3-4 は $M=3$ 、50fF の MOM キャパシタの寄生抵抗の周波数依存性のシミュレーション値と計算値を比較している。図 3-4 より、寄生抵抗の計算値はほぼすべての周波数帯でシミュレーション値と一致していることがわかる。

ターゲットデバイスの寄生抵抗のフィンガー長依存性は式 (3-3) ～ (3-7) を用いて式 (3-16) で表すことができる。

$$R_{MOM} \approx \alpha_2 L^2 + \alpha_1 L + \alpha_0 L + \alpha_{-1} L^{-1} \quad (3-16)$$

ここで α_2 、 α_1 、 α_0 、 α_{-1} は式(3-4)-(3-7)を用いてそれぞれ式(3-17) – (3-20)で与えられる。

$$\alpha_2 \approx \frac{2\rho_m \gamma \epsilon_{ILD}}{T_m W C_{MOM}} \left(\frac{T_m}{s} + \frac{W}{T_{ILD}} \right) \quad (3-17)$$

$$\alpha_1 \approx \frac{\gamma\epsilon_{ILD}}{C_{MOM}} \left(\rho_m \frac{2L_{ex}}{WT_m} + R_{via}M(M-1) \right) \left(\frac{T_m}{s} + \frac{W}{T_{ILD}} \right) \quad (3-18)$$

$$\alpha_0 \approx \frac{2\rho_m W}{T_m C_{MOM}} \left(\frac{T_m}{s} + \frac{W}{T_{ILD}} \right) \quad (3-19)$$

$$\alpha_{-1} \approx \frac{1}{3} \rho_m \frac{C_{MOM}(W+s)}{W_b T_m M^2 \gamma\epsilon_{ILD} \left(\frac{T_m}{s} + \frac{W}{T_{ILD}} \right)} \quad (3-20)$$

N と M が大きい場合、 α_2 は $R_{fingerL}$ 、 α_1 は R_{ex} と $R_{via,tot}$ 、 α_0 は $R_{fingerW}$ 、 α_{-1} は R_{base} で構成される。つまり、図 3-5 のように MOM キャパシタの寄生抵抗が最小になるフィンガー長が存在する。これは、式 (3-16) より R_{finger} が L^2 と L 、 $R_{via,tot}$ は L 、 R_{base} は L^{-1} に依存するためである。図 3-5 はターゲット MOM キャパシタの $f = 30 \text{ GHz}$ と 60 GHz における、寄生抵抗のフィンガー長依存性を示している。

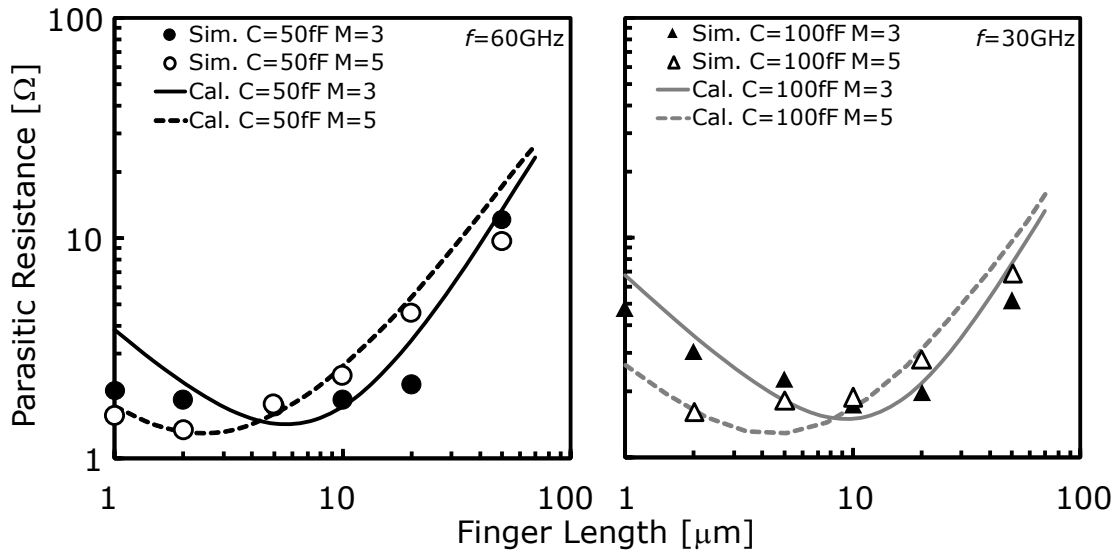


図 3-5 ターゲット MOM キャパシタの寄生抵抗のシミュレーション値と計算値のフィンガー長依存性 (左) $f = 60 \text{ GHz}$ (右) $f = 30 \text{ GHz}$

寄生抵抗が一番低くなる L は $f = 60 \text{ GHz}$ の場合 $M = 3$ 、 $C_{MOM} = 50 \text{ fF}$ の MOM キャパシタの場合は $L = 5 \mu\text{m}$ 、 $M = 5$ で $C_{MOM} = 50 \text{ fF}$ の MOM キャパシタの場合は $L = 2 \mu\text{m}$ 、 $f = 30 \text{ GHz}$

の場合 $M=3$ 、 $C_{MOM}=100$ fF の MOM キャパシタの場合は $L=9\ \mu\text{m}$ 、 $M=5$ で $C_{MOM}=100$ fF の MOM キャパシタの場合は $L=4\ \mu\text{m}$ となる。これは L の長い領域では R_{MOM} の主な成分は R_{finger} と $R_{via,tot}$ であるが、 L の短い領域では R_{base} が主に効いてくるためである。

3.3.3 寄生インダクタンス

MOM キャパシタの寄生インダクタンスは共振周波数によって決定される。図 3-6 は寄生インダクタンスと $L=50\ \mu\text{m}$ で固定したときのフィンガー数の依存性のグラフである。フィンガー数が少ない場合、結合係数が大きいため寄生インダクタンスは非常に高くなり、フィンガー数が多い場合、結合係数は小さくなるのでインダクタンスは低くなる。この時、式 (3-11) のフィッティングパラメータ F_L は $1.5\ \text{pH}/\mu\text{m}$ である。

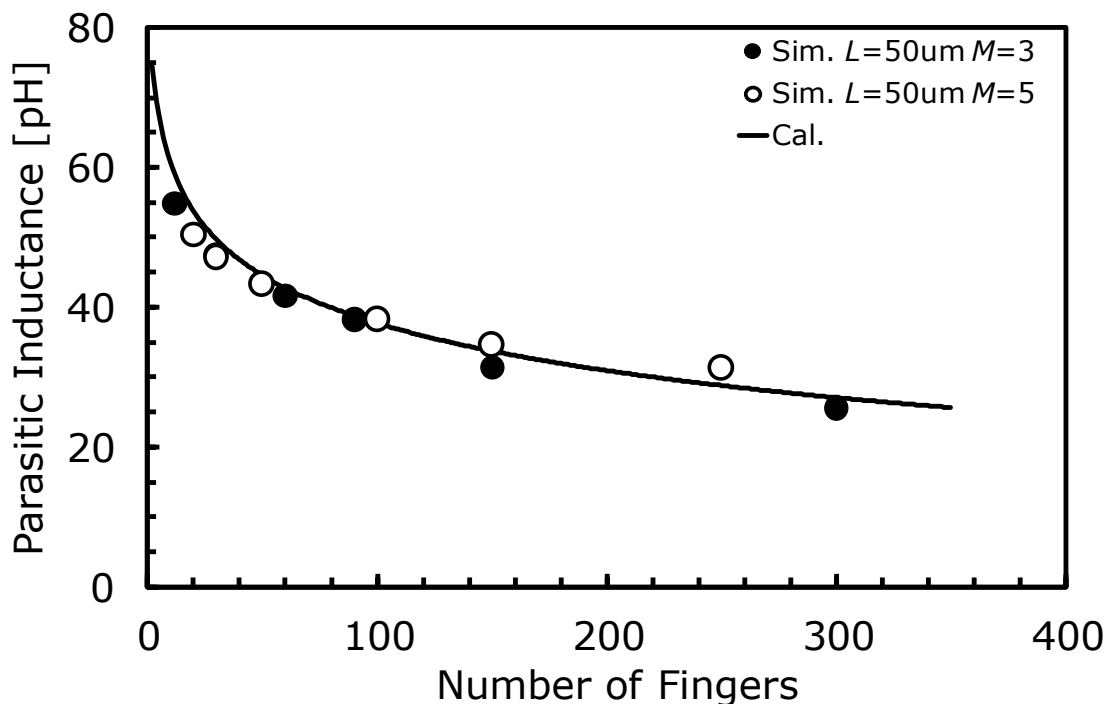


図 3-6 M=3 と 5 の MOM キャパシタの寄生インダクタンスのシミュレーション値と計算値とフィンガー数の比較

図 3-7 はターゲット MOM キャパシタの寄生インダクタンスのシミュレーション値と計算値のフィンガー長依存性の比較である。寄生インダクタンスはフィンガー長の長い領域では MOM キャパシタのフィンガー長に比例する。また、フィンガー長の短い領域では N の

増加に伴い L_b が増加するため、そのぶん寄生インダクタンスが若干増加し減少傾向が弱まっている。

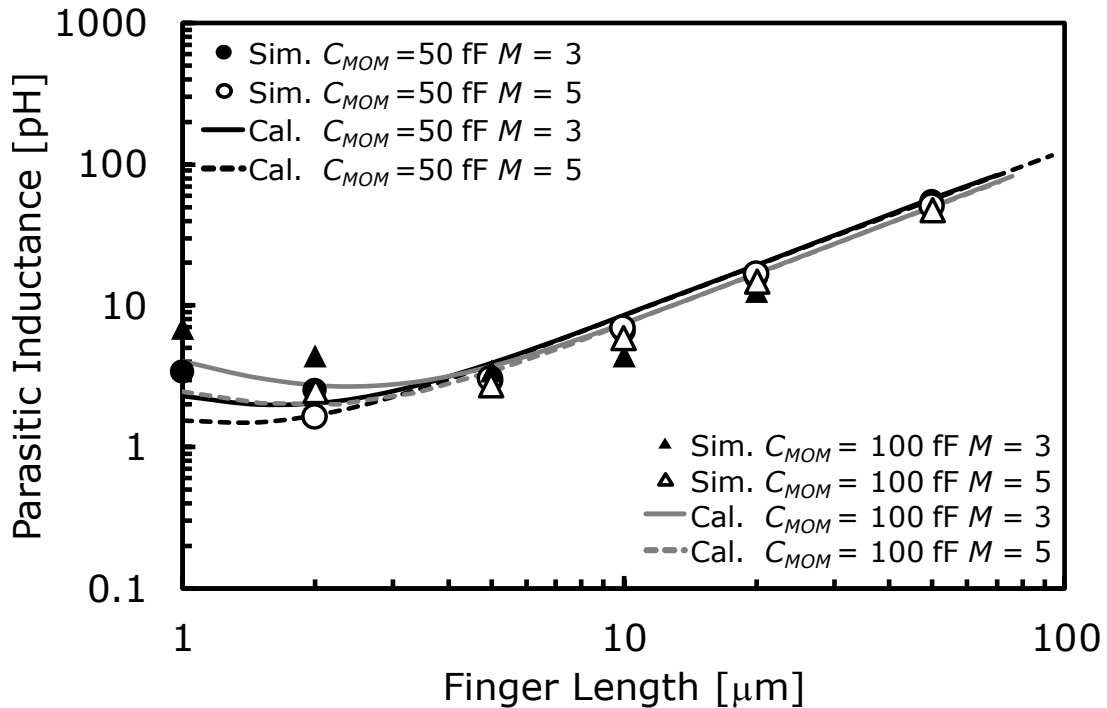


図 3-7 ターゲット MOM キャパシタの寄生インダクタンスのシミュレーション値と計算値のフィンガー長依存性の比較

図 3-7 より、寄生インダクタンスにも最適な L が存在することがわかる。このケースでは $L \leq \sim 3 \mu\text{m}$ は効果的でないことがわかる。

3.3.4 基板容量と基板抵抗

図 3-8～図 3-10 は MOM キャパシタの酸化膜容量、基板容量、基板抵抗のフィンガー長依存性の図である。

酸化膜容量と基板容量が最低となるフィンガー長は $C_{MOM} = 50\text{ fF}$ かつ $M = 3$ の MOM キャパシタでは $L = 8 \mu\text{m}$ 、同じ容量で $C_{MOM} = 50\text{ fF}$ かつ $M = 5$ の MOM キャパシタでは $L = 5 \mu\text{m}$ であり、 $C_{MOM} = 100\text{ fF}$ かつ $M = 3$ の MOM キャパシタでは $L = 10 \mu\text{m}$ 、同じ容量で $C_{MOM} = 100\text{ fF}$ かつ $M = 5$ の MOM キャパシタでも $L = 10 \mu\text{m}$ である。

基板抵抗が最高となるフィンガー長もほぼ同じ L の値で存在しており、 $C_{MOM} = 50$ fF かつ $M=3$ の MOM キャパシタでは $L=8$ μm 、同じ容量で $C_{MOM}=50$ fF かつ $M=5$ の MOM キャパシタでは $L=5$ μm 、 $C_{MOM}=100$ fF かつ $M=3$ の MOM キャパシタでは $L=10$ μm 、おなじ容量で $C_{MOM}=100$ fF かつ $M=5$ の MOM キャパシタでも $L=10$ μm である。

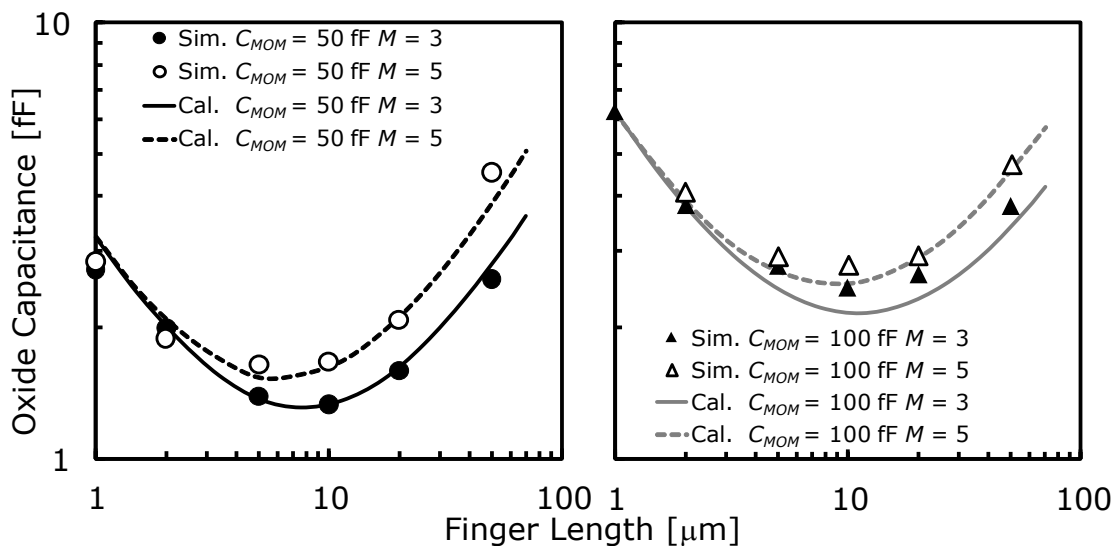


図 3-8 MOM キャパシタの酸化膜容量のフィンガー長依存性

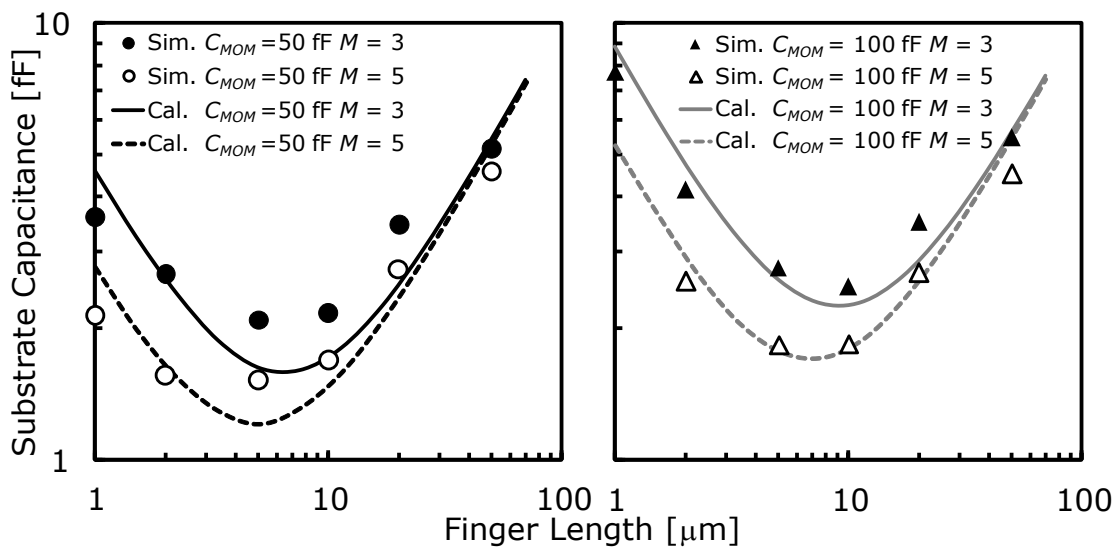


図 3-9 MOM キャパシタの基板容量のフィンガー長依存性

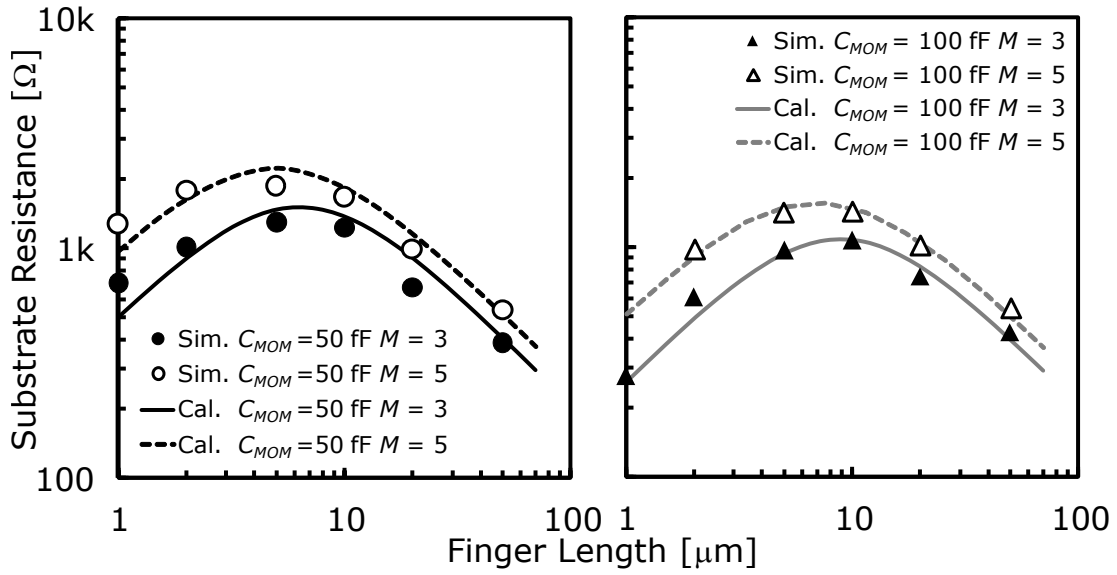


図 3-10 MOM キャパシタの基板抵抗のフィンガー長依存性

3.3.5 レイアウトの最適化

3.2節-3.4節ではターゲットMOMキャパシタの寄生成分のサイズ依存性を明らかにした。フィンガー長 L が長い場合、寄生抵抗 R_{MOM} の主な成分は R_{finger} と $R_{via,tot}$ だが、フィンガー長が短い領域では R_{MOM} の主な成分は R_{base} になる。したがって、 R_{MOM} はある L の値で最低値をもつことになる。寄生インダクタンスはフィンガー長 L の長い領域では L に比例するが、 L が短い領域では電極の寄生インダクタンスの影響によりわずかに増加する、そのため、寄生インダクタンスもまた特定の L で最低値をもつことになる。それぞれの構成要素で最適なフィンガー長があるが、その値は異なるため、総合的な性能を考えることが重要であり、 Q 値もそのひとつである。図 3-11 にターゲット MOM キャパシタの Q 値のフィンガー長依存性の図を示す。左図は $f = 30$ GHz のとき $C_{MOM} = 50$ fF、右図は $f = 60$ GHz のとき $C_{MOM} = 50$ fF の MOM キャパシタを用いている。

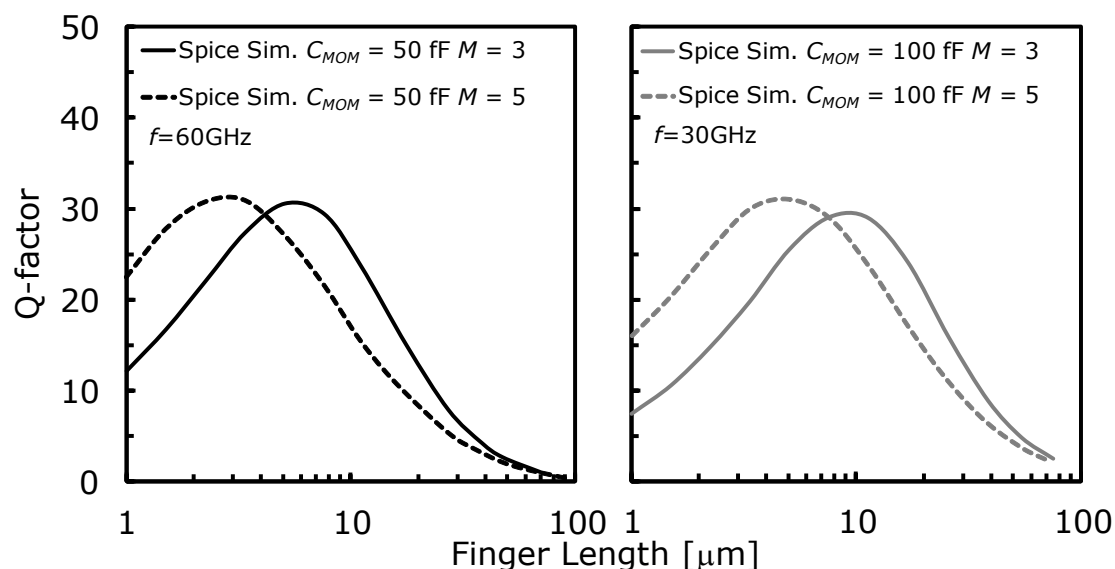


図 3-11 ターゲット MOM キャパシタの Q 値のフィンガー長依存性
 (左) $C_{MOM} = 50\text{ fF}$ 、 $F = 60\text{ GHz}$ (右) $C_{MOM} = 100\text{ fF}$ 、 $F = 30\text{ GHz}$

図 3-11 の Q 値は図 3-2 の等価回路を用いたモデルパラメータを使った spice シミュレーションを用いて計算した結果である。MOM キャパシタの Q 値は $f=60\text{ GHz}$ 、 $C_{MOM}=50\text{ fF}$ の MOM キャパシタが $M=3$ のときは $L=5\mu\text{m}$ で最大値をとり、 $M=5$ のときは $L=2\mu\text{m}$ で最大値をとる。そのときの Q 値の値は約 30 でほぼ同じである。同様に $f=30\text{ GHz}$ 、 $C_{MOM}=100\text{ fF}$ の MOM キャパシタの Q 値は $M=3$ のときは $L=9\mu\text{m}$ で最大値をとり、 $M=5$ のときは $L=4\mu\text{m}$ で最大値をとる。どちらの Q 値は約 30 である。このように 3 章で提案したモデルを用いることでそれぞれの容量の MOM キャパシタの最適構造を見いだすことが可能になる。

3.4. MOM キャパシタのまとめ

本章では高周波用の EM シミュレータを用いて CMOS プロセスの MOM キャパシタをモデル化し最適化した。MOM キャパシタの寄生抵抗は四つの成分をモデル化し、寄生インダクタンスは多くの相互インダクタンスとくし形のインダクタンスをモデル化した。寄生抵抗と寄生インダクタンスのそれぞれの構成成分は同じ容量の場合でも、フィンガー長とフィンガー数の依存性はそれぞれ異なり、基板ネットワークの構成要素にも最適点が存在することが分かった。例えば $f = 60$ GHz、 $C_{MOM} = 50$ fF、 $M = 3$ の MOM キャパシタでは $L = 5$ μm のとき寄生抵抗は最低値になり、酸化膜容量と基板容量が最低値になるのは $L = 8$ μm のときであり、基板抵抗が最大値をもつのもまた $L = 8$ μm のときである、というように構成要素によって最適な L の値は異なっていた。その MOM キャパシタの Q 値が最大になったのは $L = 5$ μm のときであることが分かった。また、 Q 値の傾向は寄生抵抗の影響が支配的であることがわかった。他のサイズの MOM キャパシタの場合も同様の傾向になった。このターゲットサイズの寄生インダクタンスは $f = 30$ GHz と $f = 60$ GHz の場合十分低くなり、MOM キャパシタの自己共振周波数は数 GHz 以下で動作すると予測することができる。つまり、結論として本章で提案したモデルを用いて、ターゲット MOM キャパシタの最適なフィンガー長 L のサイズを見つけることができるのでこの研究は MOM キャパシタの性能を最大限生かすことに役立つことができる。

第 4 章 インダクタ

4.1 オンチップインダクタの Q 値の周波数特性

本論文では準ミリ波・ミリ波帯における CMOS-LC-VCO の位相雑音を低下させるために、第 2 章、第 3 章でそれぞれ MOS バラクタおよび MOM キャパシタの Q 値の向上および構造の最適化の検討を行った。最初にキャパシタに注力したのは、1.3 節で詳述したように、準ミリ波・ミリ波帯においては、インダクタの Q 値の向上よりもキャパシタの Q 値の向上の方が、より重要であるからである。その結果、キャパシタの Q 値は大幅に向上し、タンク回路全体の Q 値も向上し、更なるその周波数特性も向上することが確認された。タンク回路の Q 値は式(1-7)に示したように、インダクタの Q 値とキャパシタの Q 値で構成されているため、更なる向上を目指すにはインダクタの Q 値の向上が必要となる。そこで本章では、インダクタの Q 値の向上を検討する。全体の戦略を図 4-1 に示す。

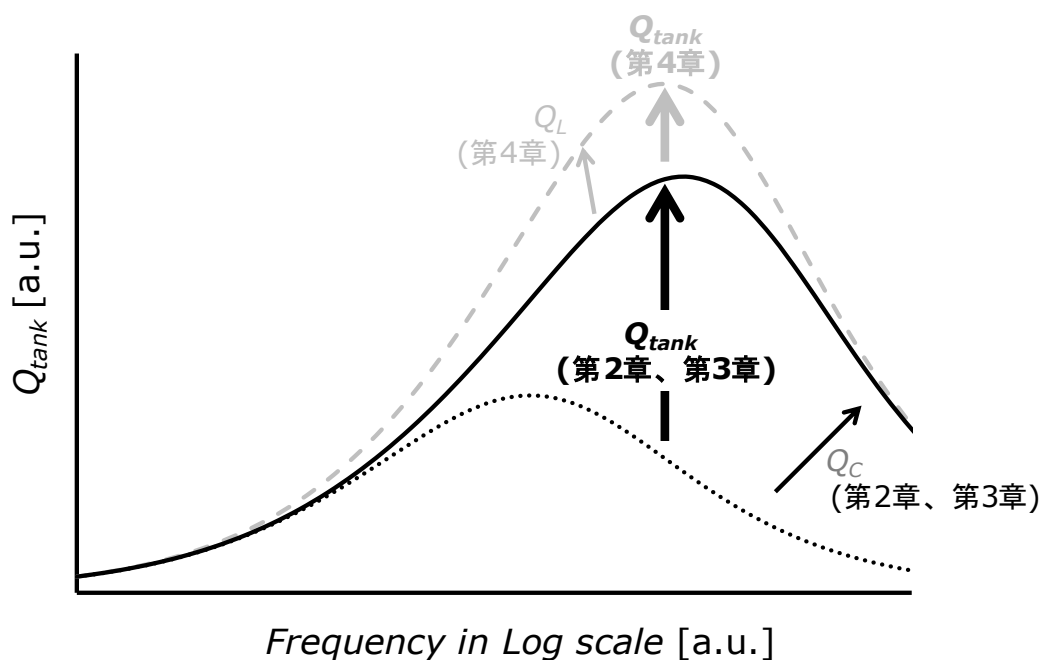


図 4-1 第 4 章で検討するインダクタの Q 値向上によるタンク回路の Q 値向上

4.2 準ミリ波・ミリ波領域における Q 値の劣化

インダクタの Q 値は式(1-5)に示したように、インダクタのリアクタンスと寄生抵抗の比で決まる。つまり、インダクタの寄生抵抗が低ければ低いほどインダクタの Q 値は向上することとなる。式(1-5)を、インダクタを構成するメタル配線の抵抗率 ρ_M 、膜厚 T_M 、メタル幅 W_M 、インダクタのメタル全長 l 用いて書き直すと、式(4-1)のようになる。

$$Q_L = \frac{\omega L}{R_L} = \frac{\omega L}{\rho \frac{l}{T_M W_M}} \quad (4-1)$$

式(4-1)からわかるように、同じ抵抗率のメタル配線を用いる場合、インダクタを構成するメタル配線の膜厚を厚く、メタル幅を広くすることで、インダクタの寄生抵抗を低下させることが可能となる。そのため、数 GHz 程度の周波数で発振する VCO のインダクタは厚いメタルを用いて寄生容量の影響が無い程度に広いメタル幅として設計するのが常道である。

しかしながら、準ミリ波・ミリ波帯においてはその設計指針は通用しない。なぜならば、準ミリ波・ミリ波帯のような高周波領域では、メタル中の電流の流れが周辺に偏在化する表皮効果が顕在化するためである[38]。メタル配線中の表皮深さ d_s 、表面から x 深い場所の電流密度 J_x を式(4-2)~(4-3)に示す。なお、ここで μ_M はメタルの透磁率、 J_s は表面における電流密度である。

$$d_s = \sqrt{\frac{\rho_M}{\pi \mu_M f}} \quad (4-2)$$

$$J_x = J_s e^{-\frac{x}{d_s}} \quad (4-3)$$

式(4-2)を用いて計算した Al 配線と Cu 配線における表皮深さの周波数依存性を図 4-2 に示す。図 4-2 によると、周波数 1GHz において表皮深さは Al で 2.59 μm 、Cu で 2.31 μm であるのに対して、周波数 10GHz においては表皮深さは Al で 0.82 μm 、Cu で 0.73 μm となる。

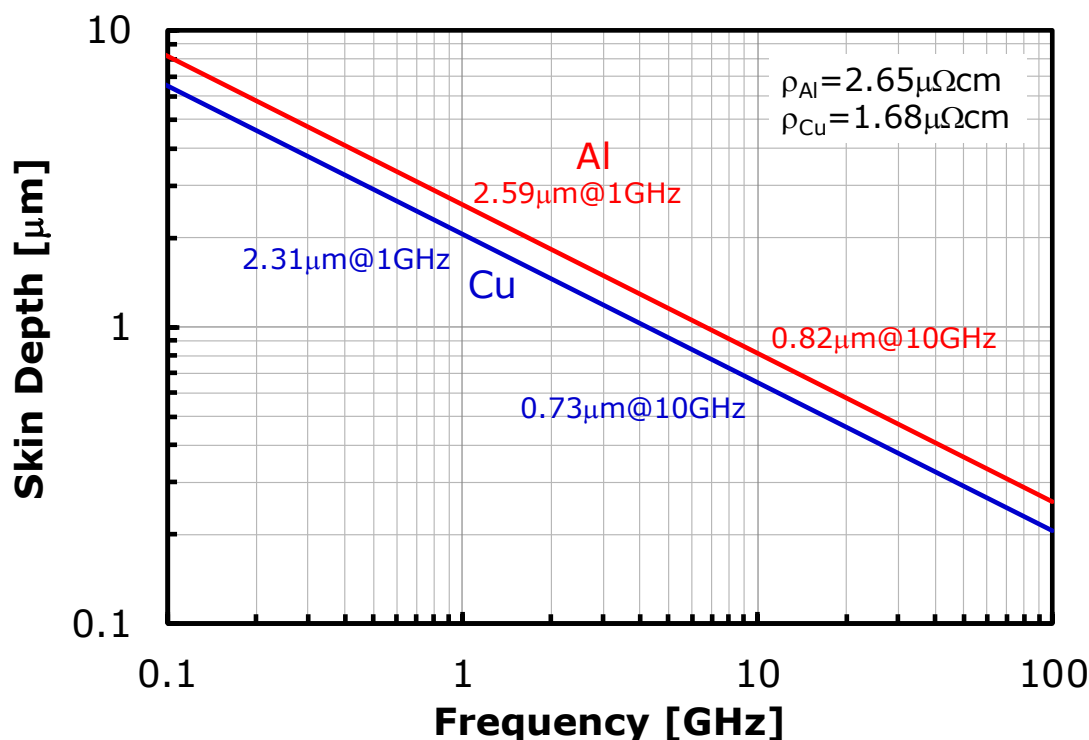


図 4-2 メタル配線の表皮深さの周波数依存性

表皮効果はメタル配線断面の中央部で内部磁界が高まり、逆起電流が流れることにより中央部の抵抗が高くなりメタル配線の表面近くしか電流が流れない現象である。つまり有効なメタル厚およびメタル幅が低下する。そのときのメタル配線の断面における上下面周辺を流れる電流 I_T と側面周辺に流れる電流 I_W は式(4-4)~(4-5)で示される。

$$I_T = 2 \int_0^{\frac{T_M}{2}} J_x dx = 2J_S d_s \left(1 - e^{-\frac{T_M}{2d_s}} \right) = J_S T_{eff} \quad (4-4)$$

$$I_W = 2 \int_0^{\frac{W_M}{2}} J_X dx = 2J_S d_S \left(1 - e^{-\frac{W_M}{2d_S}} \right) = J_S W_{eff} \quad (4-5)$$

式(4-4)～(4-5)より有効メタル厚 T_{eff} および有効メタル幅 W_{eff} は式(4-6)～(4-7)で示される。

$$T_{eff} = 2d_S \left(1 - e^{-\frac{T_M/2}{d_S}} \right) \quad (4-6)$$

$$W_{eff} = 2d_S \left(1 - e^{-\frac{W_M/2}{d_S}} \right) \quad (4-7)$$

式 (4-6) ～(4-7)より有効寄生抵抗 R_{Leff} は、 $T_M \gg d_S$ かつ $W_M \gg d_S$ のとき式(4-8)で示される。

$$\begin{aligned} R_{Leff} &= \rho \frac{l}{T_{eff} W_M + T_M W_{eff} - T_{eff} W_{eff}} \\ &\approx \frac{\sqrt{\pi \mu \rho f}}{2} \frac{l}{\left(1 - e^{-\frac{T_M/2}{d_S}} \right) W_M + \left(1 - e^{-\frac{W_M/2}{d_S}} \right) T_M} \\ &\approx \frac{\sqrt{\pi \mu \rho f} l}{2(W_M + T_M)} \end{aligned} \quad (4-8)$$

したがって、そのときの Q 値 Q_{Leff} は式(4-9)で示される。

$$Q_{Leff} \approx \frac{2L_{ind}(W_M + T_M)}{l} \sqrt{\frac{2\omega}{\mu\rho}} \quad (4-9)$$

また、式(1-5)に示した低周波領域におけるインダクタの Q 値 Q_L と、高周波領域における Q 値 Q_{Leff} より、その比は式(4-10)に示される。

$$\frac{Q_{Leff}}{Q_L} = 2 \left(\frac{1}{W_M} + \frac{1}{T_M} \right) \sqrt{\frac{\rho}{\pi f \mu}} \quad (4-10)$$

したがって、周波数が高く、メタル厚が厚く、メタル幅が広いほど、 Q_{Leff} は劣化する。また、 $Q_L=Q_{Leff}$ 周波数、つまり表皮効果が顕在化するコーナー周波数 f_{CM} は式(4-11)に示される。

$$f_{CM} = 4 \left(\frac{1}{W} + \frac{1}{T} \right)^2 \frac{\rho}{\pi \mu} \quad (4-11)$$

コーナー周波数 f_{CM} は、メタル厚が厚く、メタル幅が広いほど低い周波数となる。

4.3 ストライプ構造インダクタ

式(4-9)~(4-11)より、準ミリ波・ミリ波帯におけるインダクタの Q 値を改善するには、インダクタに用いる金属の断面積 ($W_M T_M$) ではなく周辺長 ($W_M + T_M$) を長くすることが有効であると考えられる。そこで、それを確認するために、単純な金属幅 W の金属線路と金属幅 $W/3$ の線路において、低周波領域の電流の流れと高周波領域の電流の分布を、電磁界解析を用いて確認した。図 4-3 にその結果を示す。

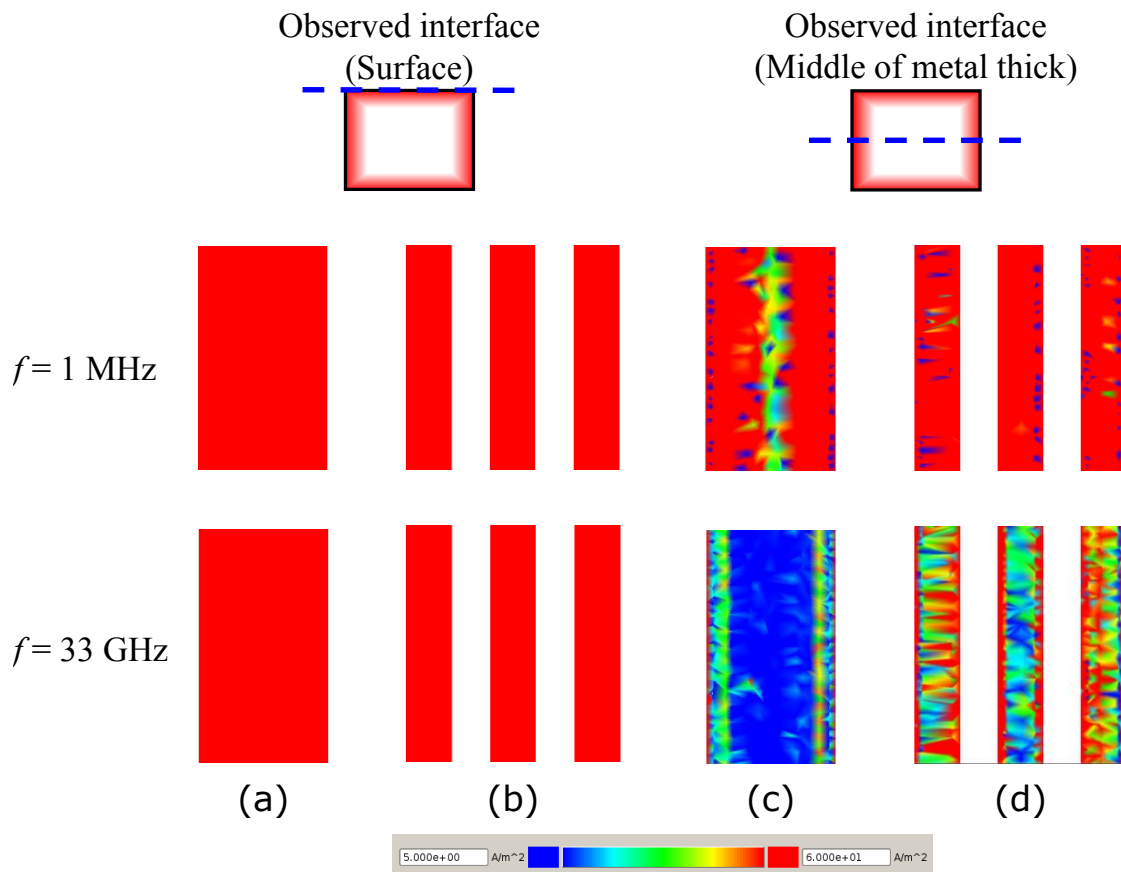


図 4-3 メタル配線中における電流分布の周波数依存性

図 4-3 は単純な金属線路を上から見た電流分布を示している。図 4-3(a)は金属幅 W の金属線路の上方の表面、(b)は金属幅 $W/3$ の金属線路 3 本の上方の表面、(c)は金属幅 W の金属線路の高さ方向の中央部、(d)は金属幅 $W/3$ の金属線路 3 本の高さ方向の中央部を示し、全て上段が周波数 1MHz における電流分布、下段が周波数 33GHz における

電流分布である。電流は赤いところに多く流れており、黄→緑→青と電流密度が下がっている。これより、周波数 1MHz においては全てのパターンで、メタルの上方の表面も中央部も大きな電流分布の違いはなく、ほぼ均一に流れているが、周波数 33GHz においては、メタルの上方の表面および側面に電流が集中していることがわかる。また、(c)と(d)の高さ方向の中央部の電流分布を見ると、(c)のメタル幅 W の場合は両側面に電流が集中し横方向の中央部には殆ど電流が流れていないのに対して、(d)のメタル幅 $W/3$ の場合は全てのメタルの両側面に電流が集中していることがわかる。つまり、(c)に対して(d)は電流の流れる経路が 3 倍あると考えられる。

この結果を元に検討した、従来配線幅 W で設計していたインダクタメタルを n 分割した場合の寄生抵抗 R_{LSeff} 、 Q 値 Q_{LSeff} 、コーナー周波数 f_{CMS} を式(4-12)~(4-14)に示す。

$$R_{LSeff} = \frac{\sqrt{\pi\mu\rho f}}{2} \frac{l}{\left\{ \left(1 - e^{-\frac{T_M/2n}{d_s}}\right) \frac{W}{n} + \left(1 - e^{-\frac{W_M/2n}{d_s}}\right) T \right\} n}$$

$$\approx \sqrt{\pi\mu\rho f} \frac{l}{2(W_M + nT_M)}$$
(4-12)

$$Q_{LSeff} \approx \frac{4L_{tank}(W_M + nT_M)}{l} \sqrt{\frac{\pi f}{\mu\rho}}$$
(4-13)

$$f_{CMS} = 4 \left(\frac{n}{W_M} + \frac{1}{T_M} \right)^2 \frac{\rho}{\pi\mu}$$
(4-14)

式(4-8)~(4-14)より R_{LSeff} 、 Q_{LSeff} 、 f_{CMS} は、式(4-15)~(4-17)のように示すことができる。

$$R_{LSeff} = \frac{W_M + T_M}{W_M + nT_M} R_{Leff}$$
(4-15)

$$Q_{LSeff} = \frac{W_M + nT_M}{W_M + T_M} Q_{Leff}$$
(4-16)

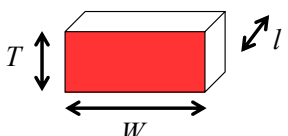

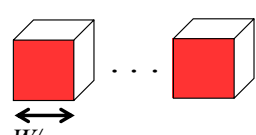
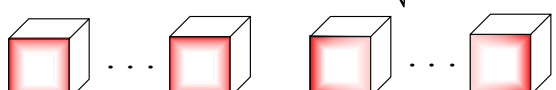
$$f_{CMS} = \frac{W_M + nT_M}{W_M + T_M} f_C \quad (4-17)$$

式(4-15)～(4-17)より、メタル幅を n 分割したインダクタの寄生抵抗値 R_{LSeff} は、 $(W_M+T_M)/(W_M+nT_M)$ に低下し、 Q 値 Q_{LSeff} およびコーナー周波数 f_{cs} は $(W_M+nT_M)/(W_M+T_M)$ に改善されると考えられる。さらに、式(1-2)より、メタル幅を n 分割したインダクタを用いたVCO の位相雑音は式(4-18)に示すように $[(W_M+T_M)/(W_M+nT_M)]^2$ 低下すると考えられる。

$$L_s(\Delta f) = \left(\frac{W_M + T_M}{W_M + nT_M} \right)^2 L(\Delta f) \quad (4-18)$$

以上を表 4-1 にまとめた。

表 4-1 ストライプ構造インダクタの寄生抵抗および Q 値

	Low Frequency	High Frequency
Conventional ($n=1$)	 $R_{LLF} = \rho \frac{l}{WT}$ $Q_{LLF} = \frac{2\pi f L_{tank} WT}{\rho l}$	 $R_{LHF} = \sqrt{\pi\mu\rho f} \frac{l}{2(W + nT)}$ $Q_{LHF} = \frac{4L_{tank}(W + nT)}{l} \sqrt{\frac{\pi f}{\mu\rho}}$
Striped (Divided by n)		 <p style="text-align: center;">Skin Effect ($n = \text{divide number}$)</p> <p style="text-align: center;">Proximity Effect ($n < \text{divide number}$)</p>

ここで表皮効果だけでなく近接効果が顕在化した場合は、ストライプ構造インダクタのメリットは若干低下するものと考えられる[39-40]。

4.4 ストライプ構造インダクタおよび VCO の検証

4.4.1 ストライプ構造インダクタの検証

本節では前節までの検討を元にストライプ構造インダクタの特性とそれを用いた VCO の特性を実験的に検証する。設計したストライプ構造インダクタを図 4-4 に示す[36] [41-45]。

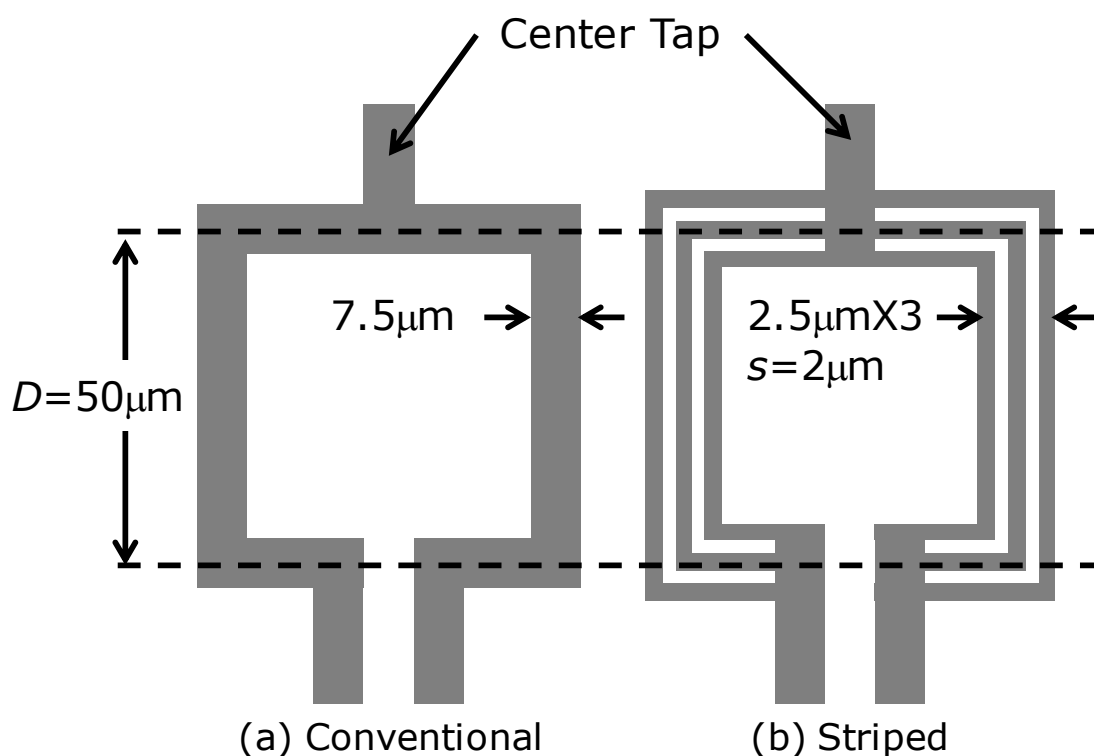


図 4-4 コンベンショナル構造のインダクタ(a)とストライプ構造のインダクタ(b)

試作プロセスは東芝 65nm CMOS プロセスを使用した。設計したインダクタは両者とも一辺 $50\mu\text{m}$ の正方形であり、コンベンショナル構造のインダクタはメタル幅 $7.5\mu\text{m}$ であるのに対して、ストライプ構造のインダクタはメタル幅 $2.5\mu\text{m}$ の配線をメタル間隔 $2.0\mu\text{m}$ で 3 本並列接続した。また全てのメタル厚さは $3.3\mu\text{m}$ 、メタルの種類は Cu である。

設計したインダクタの電磁界シミュレーションによる電流分布を図 4-5 に示す。図 4-5 から明らかなように、コンベンショナル構造のインダクタに対して、ストライプ構造のインダクタは多くの電流経路があることがわかる。

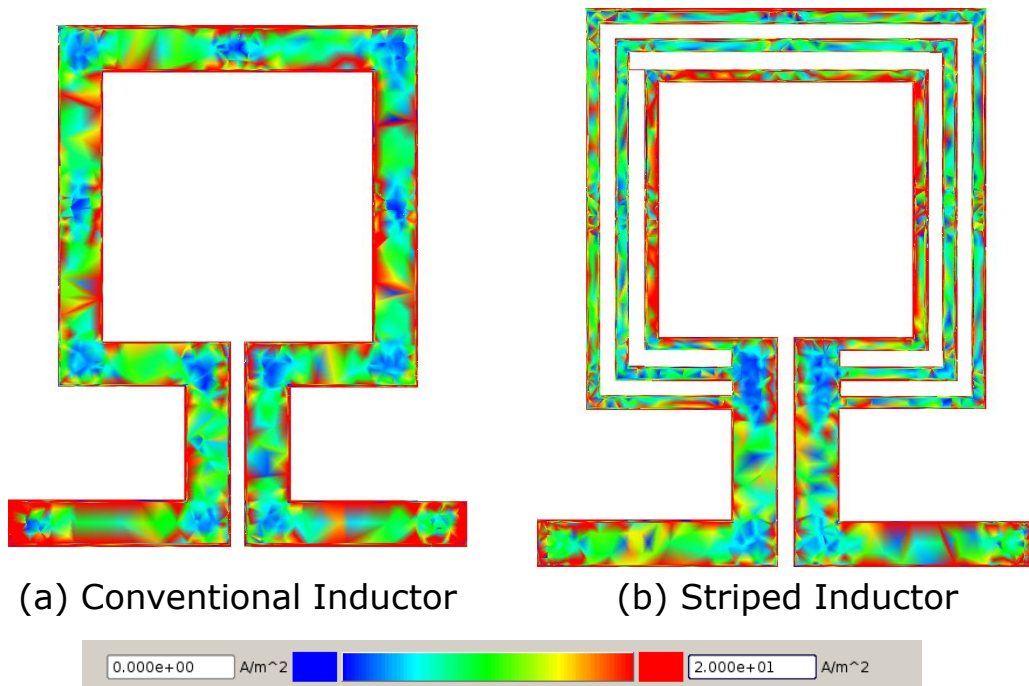


図 4-5 コンベンショナル構造のインダクタ (a)とストライプ構造のインダクタ(b)の電磁界解析による電流分布の差異

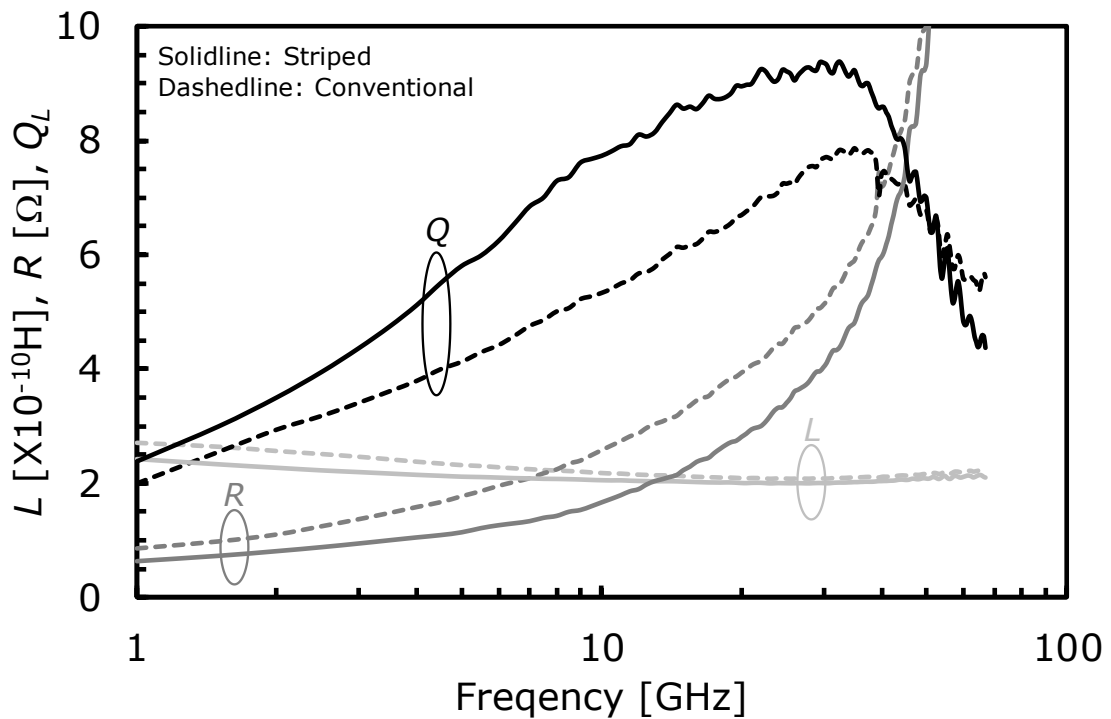


図 4-6 コンベンショナル構造のインダクタとストライプ構造のインダクタのインダクタンス、寄生抵抗、 Q 値の測定値

図 4-6 に試作したコンベンショナル構造およびストライプ構造のインダクタのインダクタンス、寄生抵抗、 Q 値を示す。ここで、実線がストライプ構造のインダクタ、破線がコンベンショナル構造のインダクタを示す。測定されたインダクタンスは、ストライプ構造のインダクタもコンベンショナル構造のインダクタも大きな差はないが、測定された寄生抵抗値は、コンベンショナル構造のインダクタの方がストライプ構造のインダクタよりも 1.4 倍～1.7 倍程度高い値となっている。それに伴い、 Q 値はストライプ構造のインダクタの方がコンベンショナル構造のインダクタよりも 1.4 倍～1.7 倍程度高い値となっている。式(4-16)を用いて計算すると、その比は 1.61 倍となり、この結果は計算結果を良く反映していると考えられる。なお、この測定においてはディエンベッドはオープンパターンで行った[46]。

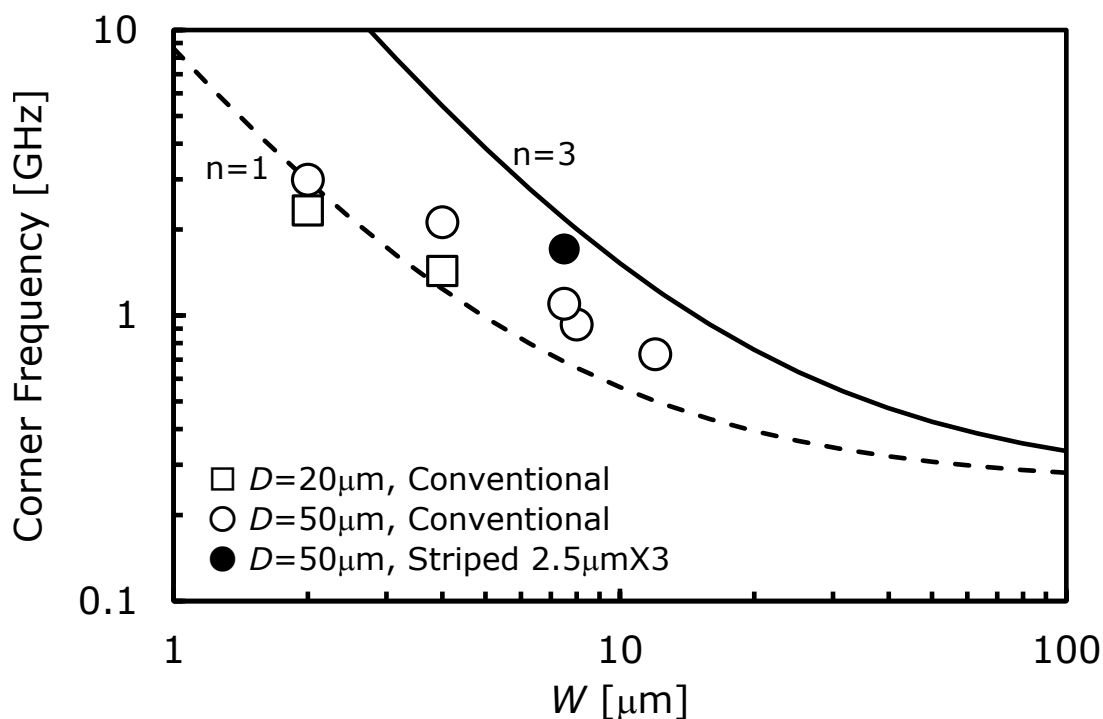


図 4-7 コンベンショナル構造のインダクタとストライプ構造のインダクタの
 コーナー周波数の測定値

コンベンショナル構造およびストライプ構造のインダクタのコーナー周波数の測定値と式(4-11)および式(4-17)を用いて計算し、以下結果を図4-7に示す。この結果より、メタル幅が狭くなるにつれて、コーナー周波数は高周波化していき、さらにメタルを3分割した方がコーナー周波数は高周波化することが確認できた。

以上の測定に用いたインダクタのチップ写真を図4-8に示す。

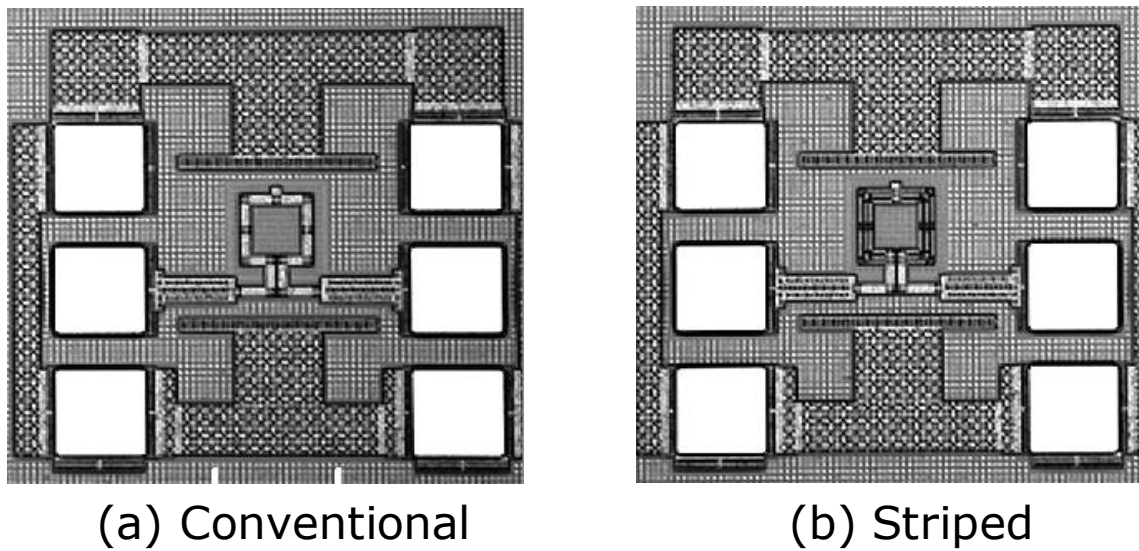


図4-8 コンベンショナル構造のインダクタとストライプ構造のチップ写真

4.4.2 ストライプ構造インダクタを用いた VCO の位相雑音

図 4-4 で示したインダクタを用いて発振周波数約 25GHz の VCO を二種類 (図 4-9(a)と (b))、また、図 4-4 のインダクタの一辺 D を $20\mu\text{m}$ としたインダクタを用いて発振周波数約 40GHz の VCO を一種類 (図 4-9(a)) 設計し、位相雑音を測定・検証した。設計した 2 種類の VCO の回路図を図 4-9 に、パラメータを表 4-2 にまとめた。

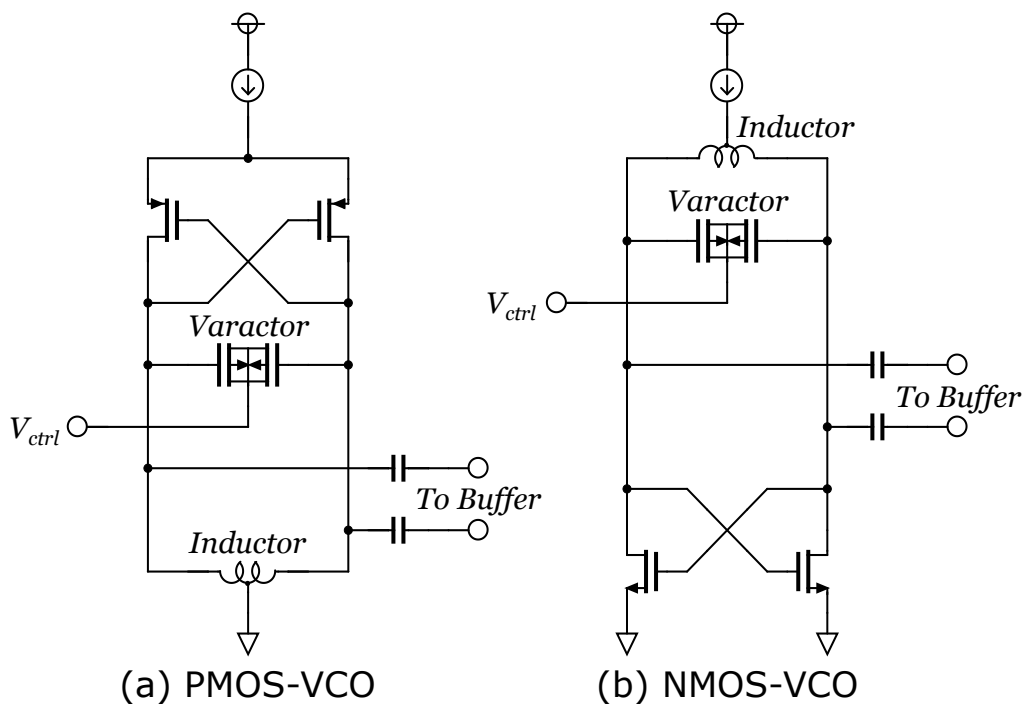


図 4-9 設計した 2 種類の VCO

表 4-2 設計した VCO のパラメータ

	Inductor	Gain Cell	fosc [GHz]
VCO-1	D = 50 μm Conventional Striped	PMOS	23
VCO-2	D = 50 μm Conventional Striped	NMOS	25
VCO-3	D = 20 μm Conventional Striped	PMOS	40

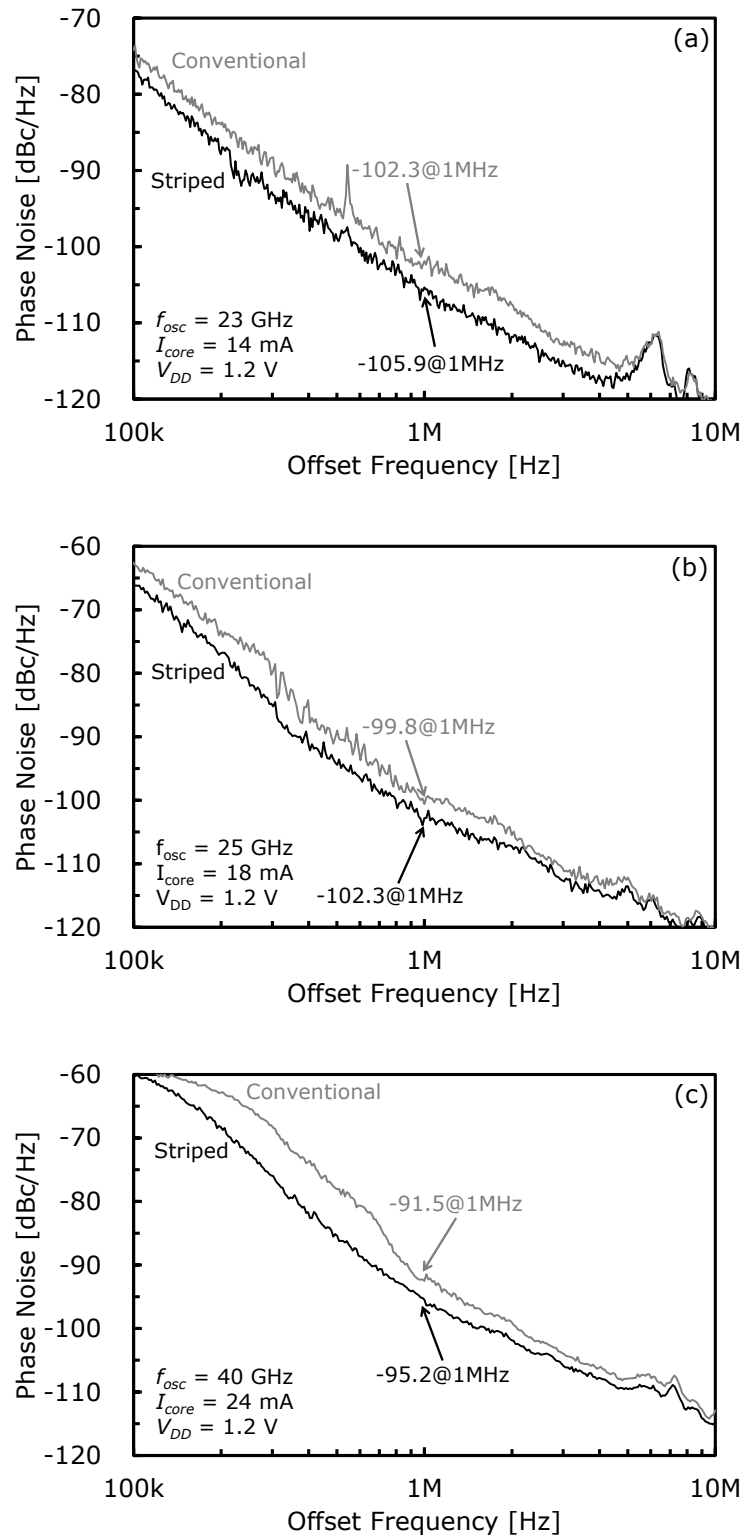


図 4-10 測定した 3 種類の VCO の位相雑音のオフセット周波数依存性
(a)VCO-1、(b)VCO-2、(c)VCO-3

測定はオンウェーブプローブステーションを用い、Keysight 社の EXA シグナルアナライザを用いて行った。図 4-10 にそれぞれの回路の位相雑音のオフセット周波数依存性を示す。なお、全ての測定回路の電源電圧は 1.2V であり、VCO-1~VCO-3 のいずれにおいても、コンベンショナル構造のインダクタとストライプ構造のインダクタを適用した回路の差異はインダクタのみである。

図 4-10(a) (VCO-1) は PMOS のゲインセルに $D=50\mu\text{m}$ のコンベンショナル構造のインダクタとストライプ構造のインダクタを適用した発振周波数 23GHz の VCO 回路の比較で、両者ともバイアス電流は 14mA である。コンベンショナル構造のインダクタを適用した回路では 1MHz オフセットにおける位相雑音が -102.3dBc/Hz であったのに対して、ストライプ構造のインダクタを適用した回路では 1MHz オフセットにおける位相雑音が -105.9dBc/Hz であり、ストライプ構造のインダクタを適用した回路の方が位相雑音は 3.6dB 改善していることを確認した。

図 4-10(b) (VCO-2) は NMOS のゲインセルに $D=50\mu\text{m}$ のコンベンショナル構造のインダクタとストライプ構造のインダクタを適用した発振周波数 25GHz の VCO 回路の比較で、両者ともバイアス電流は 18mA である。コンベンショナル構造のインダクタを適用した回路では 1MHz オフセットにおける位相雑音が -99.8dBc/Hz であったのに対して、ストライプ構造のインダクタを適用した回路では 1MHz オフセットにおける位相雑音が -102.3dBc/Hz であり、ストライプ構造のインダクタを適用した回路の方が位相雑音は 2.5dB 改善していることを確認した。

図 4-10(c) (VCO-3) は PMOS のゲインセルに $D=20\mu\text{m}$ のコンベンショナル構造のインダクタとストライプ構造のインダクタを適用した発振周波数 40GHz の VCO 回路の比較で、両者ともバイアス電流は 24mA である。コンベンショナル構造のインダクタを適用した回路では 1MHz オフセットにおける位相雑音が -91.5dBc/Hz であったのに対して、ストライプ構造のインダクタを適用した回路では 1MHz オフセットにおける位相雑音が

95.2dBc/Hz であり、ストライプ構造のインダクタを適用した回路の方が位相雑音は 3.7dB 改善していることを確認した。

式(4-18)から見積もられる位相雑音の改善量は式(4-19)に示すように 4.1dB である。

$$\frac{L_S(\Delta f)}{L(\Delta f)} = \left(\frac{W_M + T_M}{W_M + nT_M} \right)^2 = \left(\frac{7.5 + 3.3}{7.5 + 3 \times 3.3} \right)^2 = 0.385 = -4.1 \text{ [dB]} \quad (4-19)$$

この結果から VCO-1 と VCO-3 では概ね期待された位相雑音の改善量を確保することができたが、VCO-2 では未達であった。これは VCO-2 が NMOS のゲインセルを用いているため、フリッカ雑音等の他の雑音の影響が大きかったためであると考えられる。

表 4-3 に VCO の測定結果をまとめた。

表 4-3 VCO の測定結果

	Inductor	Gain Cell	f_{osc} [GHz]	PN at 1MHz [dBc/Hz]	ΔPN [dB]	P_{DC} [mW]	FOM [dB]
VCO-1	Conv.	PMOS	23	-102.3	3.6	16.8	177.3
	Striped			-105.9			180.9
VCO-2	Conv.	NMOS	25	-99.8	2.5	21.6	174.4
	Striped			-102.3			176.9
VCO-3	Conv.	PMOS	40	-91.5	3.7	28.8	168.9
	Striped			-95.2			172.6

図 4-11 に VCO-1 と VCO-3 のチップ写真を示す。VCO-2 については、レイアウトはほぼ VCO-1 と同じである。

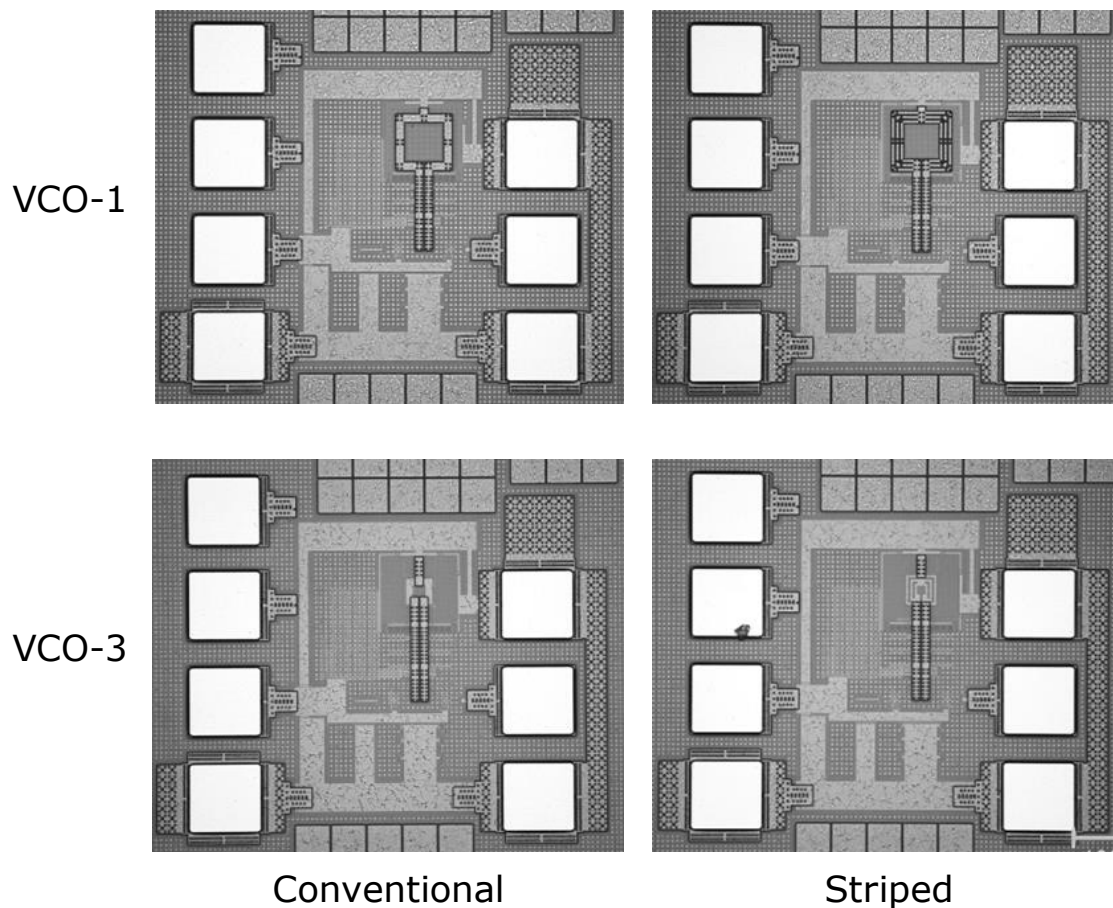


図 4-11 VCO-1 と VCO-3 のチップ写真

4.5 ストライプ構造インダクタのまとめ

本章では、準ミリ波・ミリ波領域の LC 共振器の Q 値改善の手法として、インダクタの Q 値改善を検討した。第1章に記したように、準ミリ波・ミリ波帯では、インダクタの Q 値より MOS バラクタおよび MOM キャパシタの Q 値が支配的であるが、第2章、第3章でそれぞれ MOS バラクタおよび MOM キャパシタの Q 値の向上および構造の最適化の検討を行った結果、インダクタの Q 値の向上が必要になったためである。

本章で提案したインダクタの Q 値改善手法は、準ミリ波・ミリ波領域で顕在化する表皮効果を抑制するために、インダクタに用いるメタルを n 分割し、メタル断面の周囲長を長くすることで、電流経路を増やし寄生抵抗を低減させることである。具体的にはインダクタメタルを3分割することで、 Q 値としては1.6倍程度の改善を目指し、設計・試作したインダクタの測定により、ほぼ期待通りの Q 値の改善を得る事ができた。また、同時にそれらのインダクタを用いた VCO 回路も設計・試作した。VCO の位相雑音の改善量は約 4.1dB と見積もられたが、設計・試作した VCO 回路の位相雑音は約 3.7dB 程度となり、若干の差異はあるものの、ほぼ期待値通りの改善が確認できた。

第 5 章 研究のまとめと今後の展望

5.1 研究のまとめ

本論文では、準ミリ波・ミリ波領域における電圧制御発振器の低位相雑音化を目的として、位相雑音に対して最も重要な回路である LC 共振器の Q 値の向上を、LC 共振器を構成するデバイスである、MOS バラクタ、MOM キャパシタ、インダクタについてそれぞれ検討した。

第 2 章では MOS バラクタについての検討結果を述べた。差動型 MOS バラクタの Q 値は容量 (C_{var}) に反比例するため L および W を微細化した方が高い Q 値を得ることができるが、寄生抵抗 R_c の要素としてゲート抵抗およびバックゲート抵抗があり、それぞれの W/L 依存性が異なるため、 Q 値の上昇効果には限界があることを見いだした。また、 L および W を微細化すると、高い Q 値を得る代わりに容量可変範囲 (C_{max}/C_{min}) が小さくなるトレードオフが存在するが、実際の測定結果では MOS バラクタのサイズを $W/L = 2 \mu\text{m} / 2 \mu\text{m}$ から $0.5 \mu\text{m} / 0.26 \mu\text{m}$ に減少させると Q 値は 7 倍、 $f=20\text{GHz}$ においておよそ 6 から 40、になるが C_{max}/C_{min} は 60%になることがわかった。このトレードオフを考慮し設計するために従来の PSP モデルを使用し作成したスケラブルモデルでは精度が十分でないことが発覚したため、新たに独自の PSP SFC モデルを提案した。PSP SFC モデルは広い寸法範囲をカバーし、 N^+ MOS バラクタの最小サイズの精度を 18.9%から 0.2%まで向上し、 P^+ MOS バラクタも同様に 22.1%から 0.8%まで改善した。更に、MOS バラクタの 2 種類のレイアウトをカバーする汎用性を持つことを確認した。この PSP SFC モデルを用いて 22GHz の VCO を 3 種類設計・試作した。オフセット周波数 1MHz における位相雑音を比較すると、単位サイズが $W/L = 0.5 \mu\text{m} / 0.26 \mu\text{m}$ の MOS バラクタを用いた VCO で -106 dBc/Hz、 $W/L = 2.0 \mu\text{m} / 0.36 \mu\text{m}$ の MOS バラクタを用いた VCO で -102 dBc/Hz、 $W/L = 2.0 \mu\text{m} / 2.0 \mu\text{m}$ の MOS バラク

タを用いた VCO で -97 dBc/Hz となった。1MHz オフセットにおける位相雑音は、現在用いられている $W/L = 2.0 \mu\text{m} / 2.0 \mu\text{m}$ の MOS バラクタに対して $W/L = 0.5 \mu\text{m} / 0.26 \mu\text{m}$ の MOS バラクタを用いる事により、最大 9dB 改善しており、これは MOS バラクタの最適構造により、 Q 値を向上できたことを示している。

第3章では、MOM キャパシタの容量、寄生抵抗、寄生インダクタンス、基板容量、基板抵抗の各成分をモデル化した。それにより、各成分のフィンガー長とフィンガー数依存性が異なり、 Q 値の向上に最適なフィンガー長もそれぞれ異なることが分かった。例えば $f=60$ GHz、 $C_{MOM} = 50$ fF、 $M = 3$ の MOM キャパシタでは $L = 5 \mu\text{m}$ のとき寄生抵抗は最低値になり、酸化膜容量と基板容量が最低値になるのは $L = 8 \mu\text{m}$ のときであり、基板抵抗が最大値をもつのもまた $L = 8 \mu\text{m}$ のときであり、その Q 値が最大になったのは $L = 5 \mu\text{m}$ のときであった。また、 Q 値の傾向は寄生抵抗の影響が支配的であることがわかり、さらに本研究で目標としている周波数範囲である 20~60GHz においては、寄生インダクタンスは長いフィンガー構造を用いなければ大きな問題とならないこともわかった。このように、モデル化によりターゲットとなる MOM キャパシタの最適なフィンガー長を選ぶことで、MOM キャパシタの Q 値を改善することができた。

第4章ではタンク回路の Q 値のさらなる向上を目指してインダクタの Q 値を改善するため、高周波領域に対応したインダクタについて検討した。インダクタの Q 値は寄生抵抗に反比例するため、寄生抵抗を低下させるためにメタル幅を厚くすると、高周波領域では表皮効果が悪化してしまう。 Q 値の劣化をモデル化し高周波領域におけるインダクタの Q 値を改善するには、インダクタに用いるメタルの断面積 ($W_M T_M$) ではなく周辺長 ($W_M + T_M$) を長くすることが有効であると考えた。そこで、ストライプ構造のインダクタを提案し、周辺長を長くした。具体的にはインダクタメタルを3分割することで、 Q 値としては1.6倍程度の改善を目指し、設計・試作したインダクタの測定により、ほぼ期待通りの Q 値の改善を得る事ができた。また、同時にそれらのインダクタを用いた VCO 回路も設計・試作した。

VCO の位相雑音の改善量は約 4.1dB と見積もられたが、設計・試作した VCO 回路の位相雑音は約 3.7dB 程度となり、若干の差異はあるものの、ほぼ期待値通りの改善が確認できた。

図 5-1 では図 1-5 の位相雑音にその結果を追加し示した。

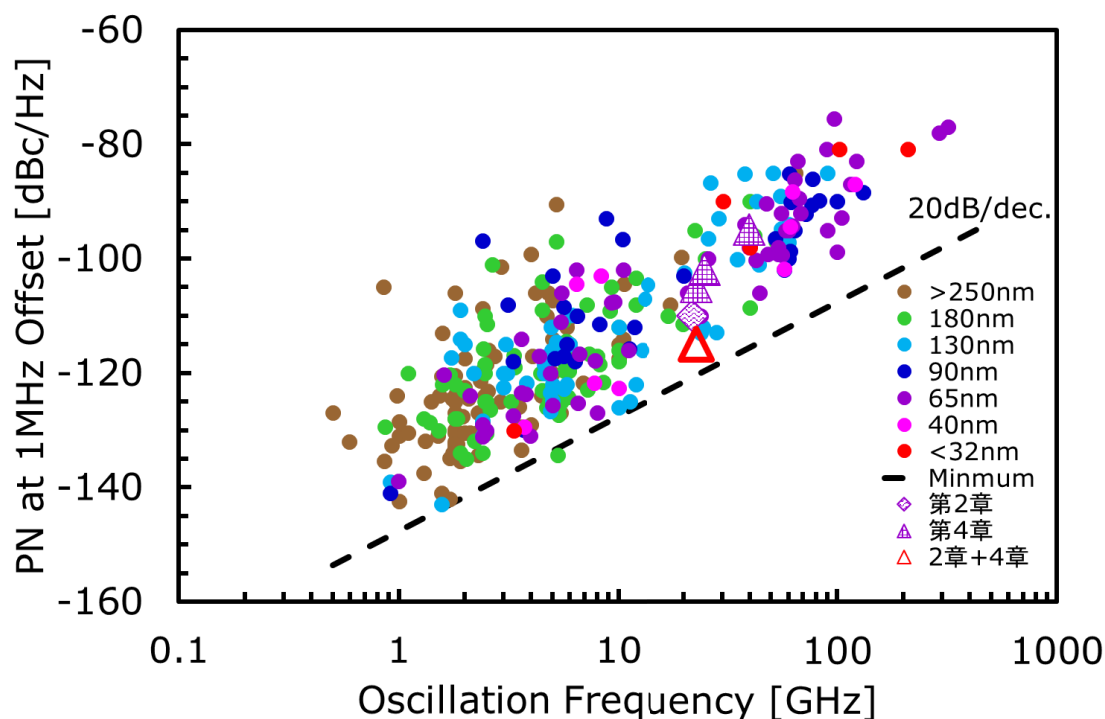


図 5-1 第 2 章 (紫◆)、第 4 章 (紫▲) で作成した VCO の PN の実測値と第 2 章～第 4 章の成果を組み合わせた場合の PN の予測値 (赤△) と図 1-5 の PN の比較

第 2 章の MOS バラクタの小型化と第 4 章のインダクタの改善は完全に独立しているため、今後、小型の MOS バラクタとストライプ構造のインダクタを用いた VCO を設計すれば、2 章の PN から更に約 4dB 改善した図 5-1 で赤△で示した値をとることが容易に予測できる。これは過去 25 年間に発表された発振周波数 20~25GHz の PN のなかで最も低い値をとっている。また 3 章で研究した MOM の最適化の効果も独立しているため、同時に行うと更に 20dB/dec. に近づく改善を行うことができる。

以上の結果をまとめると、第2章でMOSバラクタの最適構造により Q 値を向上させ、第3章で最適なフィンガー長により MOM キャパシタの Q 値を改善し、第4章でインダクタのレイアウトをストライプ構造にすることで Q 値を改善できた。図 5-2 にそれを示した。

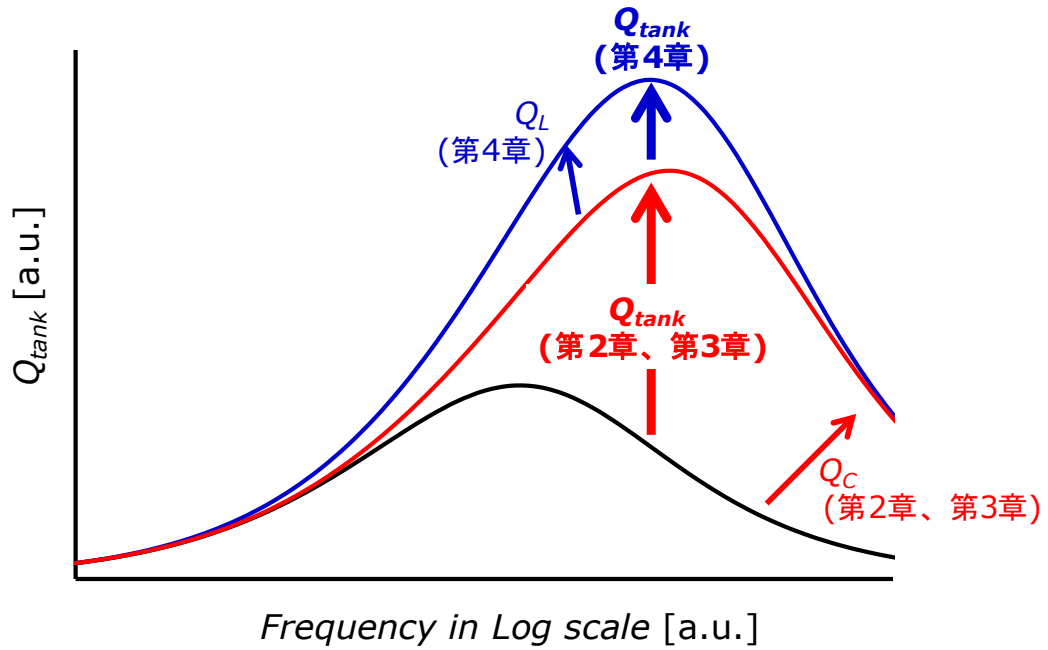


図 5-2 本論文の成果による LC 共振器の Q 値の向上

5.2 今後の研究の展望

高周波領域における LC-VCO の更なる高性能化・低位相雑音化を目指す場合に重要となる今後の課題を 2 点挙げる。

更なる高周波化による Q 値の向上

式(1-2)で示したように位相雑音は発振周波数の 2 乗に比例するため、更に高周波化が進むと Q 値をそれに比例して向上させていかなければならない。本研究では、高周波領域で劣化が顕著であるキャパシタ（バラクタ）の Q 値向上を検討し、さらにインダクタの Q 値向上を検討し、それぞれ所望の結果を得られたが、さらなる高周波領域においては、再び両素子の高性能化が求められると考えられる。

キャパシタについては、現在、微細 MOSFET の構造として用いられている FinFET 等は寄生抵抗が非常に大きく、また、それらのモデルも完全では無い。したがって、最初に詳細なモデル化が必要であると考えられる。一方、インダクタについては、ストライプ構造インダクタをさらに拡張した、表皮効果を抑えるような構造等の提案が重要であり、現在進められている[39][47]。

容量の小さいキャパシタによる Q 値の向上の限界

高周波化によって、キャパシタの Q 値は、本論文で $f=20\text{GHz}$ において 40 程度まで達したが、例えば $f=100\text{GHz}$ であると仮定すると Q 値は 8 程度に劣化してしまうと考えられる。発振周波数が 5 倍であるため、 $f = 1/2\pi\sqrt{LC}$ の LC の部分をインダクタとキャパシタでそれぞれ $1/\sqrt{5}$ と仮定しても寄生抵抗も $1/\sqrt{5}$ とする必要がある。

式(2-1)および式(2-2)から考えると、寄生抵抗の最小値 $R_{C,min}$ は、式(5-1)で示される。

$$R_{C,min} = \frac{1}{3}\sqrt{\rho_{GS}\rho_{BS}} \quad (5-1)$$

つまり、式(5-1)で示される $R_{C,min}$ より、 $\rho_{GS}\rho_{BS}$ を 1/5 にする必要があることとなり、バックゲート抵抗 (Well 抵抗) の低下は MOSFET 等の素子特性に対する影響が大であるため困難であると考えられるため、ゲート抵抗の低下を進める必要がある (これは MOSFET からの要求と合致する)。また、更なる低抵抗化、高 Q 値化のためには MEMS 等の新素子の開発も視野に入れる必要があるかもしれない。

参考文献

- [1]. 一般社団法人電気通信事業者協会, <http://www.tca.or.jp/database/index.html>
- [2]. 総務省統計局, <http://www.stat.go.jp/data/jinsui/2.htm#monthly>
- [3]. H. Yoshida, T. Toyoda, H. Tsurumi, and N. Itoh, "A Single-Chip 8-Band CMOS Transceiver for 3G Cellular Systems with Digital Interface," *IEICE Transaction on Fundamentals*, Vol. E93-A, No.2, pp. 375-381, Feb. 2010.
- [4]. 三木信彦, 岩村幹生, 岸山祥久, ウメシュ アニール, 石井啓之, "LTE-Advanced における広帯域化を実現する Carrier Aggregation," *NTT DOCOMO テクニカルジャーナル* vol.18, no.2, pp.12-21, 2010.
- [5]. J. Deguchi, D. Miyashita, Y. Ogasawara, G. Takemura, M. Iwanaga, K. Sami, R. Ito, J. Wadatsumi, Y. Tsuda, S. Oda, S. Kawaguchi, N. Itoh, M. Hamada, "A Fully Integrated 2X1 Dual-Band Direct-Conversion Mobile WiMAX Transceiver With Dual-Mode Fractional Divider and Noise-Shaping Transimpedance Amplifier in 65 nm CMOS," *IEEE Journal of Solid-State Circuits*, Vol. 45, pp. 2774-2784, No. 12, Dec. 2010.
- [6]. K. Okada, K. Kondou, M. Miyahara, M. Shinagawa, H. Asada, R. Minami, T. Yamaguchi, A. Musa, Y. Tsukui, Y. Asakura, S. Tamonoki, H. Yamagishi, Y. Hino, Takahiro Sato, H. Sakaguchi, N. Shimasaki, T. Ito, Y. Takeuchi, N. Li, Q. Bu, R. Murakami, K. Bunsen, K. Matsushita, M. Noda, A. Matsuzawa, "Full Four-Channel 6.3-Gb/s 60-GHz CMOS Transceiver With Low-Power Analog and Digital Baseband Circuitry," *IEEE Journal of Solid-State Circuits*, Vol. 48, No. 1, pp. 46-65, Jan. 2013.
- [7]. C. E. Shannon, "Communication in the presence of noise", *Proc. Institute of Radio Engineers*, vol. 37, no.1, pp. 10-21, Jan. 1949.
- [8]. K. Katayama, M. Motoyoshi, K. Takano, N. Ono, M. Fujishima, "28mW 10Gbps Transmitter for 120GHz ASK Transceiver," *IMS*, Jun. 2012.
- [9]. D. B. Leeson, "A simple model of feedback oscillator noise spectrum," *Proceedings IEEE*, vol. 54, pp.329-330, Feb. 1966.
- [10]. N. Itoh, K. Kojima, T. Ohguro, "Channel Noise Enhancement in Small Geometry MOSEFT and Its Influence on Phase Noise Calculation of Integrated Voltage-Controlled-Oscillator," *John Wiley & Sons, International Journal of Numerical Modelling*, vol.18, No.4, pp.255-266, Jul. 2005.

- [11]. H. Kimijima, T. Ohguro, B. Evans, B. Acker, J. Bloom, H. Mabuchi, Dim-Lee Kwong, E. Morifuji, T. Yoshitomi, H.S. Momose, M. Kinugawa, Y. Katsumata, H. Iwai, "Improvement of 1/f noise by using VHP (Vertical High Pressure) oxynitride gate insulator for deep-sub micron RF and analog CMOS," Symp. VLSI Tech. Dig., pp. 119-120, Kyoto, 1999.
- [12]. Y. Itano, S. Morimoto, S. Yoshitomi, and N. Itoh, "High-Q MOS Varactor Models for Quasi-Millimeter-Wave Low-Noise LC-VCOs," IEICE Transaction on Fundamentals, vol. E97-A, No. 3, pp. 759-767, Mar. 2014.
- [13]. P.-Y. Chiu, M.-D. Ker, "Metal-layer capacitors in 65 nm CMOS process and the application for low leakage power-rail ESD clamp circuit" Microelectronics Reliability 54, pp. 64-70, 2014.
- [14]. N. M. Nguyen and R. G. Meyer, "A 1.8GHz Monolithic LC Voltage-Controlled Oscillator," 1992 IEEE ISSCC pp. 158-159.
- [15]. A. Kral; F. Behbahani, A. A. Abidi, "RF-CMOS oscillators with switched tuning," Proceedings of the IEEE 1998 Custom Integrated Circuits Conference, pp. 555-558, 1998.
- [16]. P. Andreani, S. Mattisson, "On the Use of MOS Varactors in RF VCO's," Wiley-IEEE Press, pp. 157-162, 1999.
- [17]. J. Craninckx, M.S.J. Steyaert, "A 1.8-GHz CMOS low-phase-noise voltage-controlled oscillator with prescaler," IEEE Journal of Solid-State Circuits Vol. 30, pp. 1474-1482, Dec 1995.
- [18]. J. Craninckx, M. Steyaert, H. Miyakawa, "A Fully Integrated Spiral-LC CMOS VCO Set with Prescaler for GSM and DCS-1800 Systems," IEEE Proceedings of the Custom Integrated Circuits Conference, pp. 403 - 406, May, 1997.
- [19]. N. Itoh, B. De Muer, and M. Steyaert, "Low supply voltage fully integrated CMOS VCO with Three terminals spiral inductor," Proc. of the 1999 IEEE European Solid-State Circuits Conference (ESSCIRC99), pp. 194-197, Duisburg, Sep. 1999.
- [20]. M. Stmayer, J. Cabanillas, G.M. Rebeiz, "A low-noise transformer-based 1.7GHz CMOS VCO," IEEE International Solid-State Circuits Conference, pp. 286 - 287, Feb. 2002.
- [21]. E. Hegazi, He. Sjöland, A. Abidi, "A filtering technique to lower oscillator phase noise," IEEE International Solid-State Circuits Conference, pp. 364 - 365, Feb. 2001.

- [22]. P. Andreani and H. Sjöland, "A 2.2 GHz CMOS VCO with Inductive Degeneration Noise Suppression," IEEE Proceedings of the Custom Integrated Circuits Conference, pp. 197 – 200, May, 2001.
- [23]. B. Soltanian, P. Kinget, "A Tail Current-Shaping Technique to Reduce Phase Noise in LC VCOs," IEEE Proceedings of the Custom Integrated Circuits Conference, pp. 579 - 582, Sep., 2005.
- [24]. A. Bansal, C. Heng, and Y. Zheng, "2GHz CMOS Noise Cancellation VCO," IEEE Proceedings of the Asian Solid-State Circuits Conference, pp. 461 - 464, Nov. 2008.
- [25]. N. Itoh and S. Ishizuka "1200-MHz fully integrated VCO with "turbo-charger" technique," Proc. of the 27th 2001 European Solid-State Circuits Conference, Villach, Austria, pp.516-519, Sep. 2001.
- [26]. D. Miyashita, H. Ishikuro, S. Kousai, H. Kobayashi, H. Majima, K. Agawa, M. Hamada, "A Phase Noise Minimization of CMOS VCOs over Wide Tuning Range and Large PVT Variations," IEEE Proceedings of the Custom Integrated Circuits Conference, pp. 583 - 586, Sep., 2005.
- [27]. Y. Itano, N. Itoh, S. Yoshitomi, H. Hoshino, "High-Q MOS-Varactor Modeling for mm-Wave VCOs," Proc. of the 2012 Asia-Pacific Microwave Conference, Kaohsiung, Dec. 2012.
- [28]. J. Victory, Z Yan, G Gildenblat, Colin McAndrew, Zheng Jie, "A physically based, scalable MOS varactor model and extraction methodology for RF applications", IEEE Trans. Electron Devices, vol.52, no.7, pp.1343-1353, Jul. 2005
- [29]. J. Aguilera and R. Berenguer, "Design and Test of Integrated Inductors for RF Applications", Kluwer Academic Publishers.
- [30]. H. Xu, K. O. Kenneth, "High-Q thick-gate-oxide MOS varactors with subdesign-rule channel lengths for millimeter-wave applications," IEEE Electron Device Lett. vol.29, no.4, 363-365 Apr. 2008
- [31]. BSIM4v4.7 MOSFET Model User's Manual
- [32]. J. Victory, Z Zhu, Q Zhou, W Wu G. Gildenblat, Z. Yan, J. Cordovez, C. McAndrew, F. Anderson, J. C. J. Paasschens, R. van Langevelde, P. Kolev, R. Cherne, and C. Yao, "PSP-Based Scalable MOS Varactor Model", Proc. IEEE CICC, pp.495-502, Sep.2007.
- [33]. T. Sakurai and K. Tamaru, "Simple Formulas for Two- and Three-Dimensional Capacitances," IEEE Trans. on Electron Devices, Vol. ED-30, No. 2, Feb. 1983.

- [34]. Shyh-Chyi Wong, Gwo-Yann Lee, and Dye-Jyun Ma, "Modeling of Interconnect Capacitance, Delay and Crosstalk in VLSI," IEEE Trans. on Semiconductor Manufacturing, Vol. 13, No. 1, Feb. 2000.
- [35]. N. Itoh, T. Ohguro, K. Katoh, H. Kimijima, S. Ishizuka, K. Kojima, and H. Miyakawa, "Scalable Parasitic Components Model of CMOS for RF Circuit Design," IEICE Transaction on Fundamentals, vol. E86-A, No.2, pp.288-298, Feb. 2003.
- [36]. N. Itoh, H. Tsuji, Y. Itano, T. Morishita, K. Komoku, and S. Yoshitomi, "A Study of Striped Inductor for K- and Ka-band Voltage-controlled Oscillators," IEICE Transaction on Electronics, Vol.E99-C, No.6, pp.614-622, Jun. 2016.
- [37]. Frederick W. Grover, "Inductance Calculations," Dover Publications, Inc. 1946.
- [38]. Y.Gao, R.A.Groves, X.Huang, N.D.Zamdmer, J.O.Ploichart, R.A.Wachnik, T-J King, and C.Hu, "Frequency-Independent Equivalent-Circuit Model for On-Chip Spiral Inductors" IEEE Journal of Solid-State Circuits Vol. 38, No.3, Mar. 2003
- [39]. Ren-Jia Chan and Jyh-Chyrn Guo, "Analysis and Modeling of Skin and Proximity Effects for Millimeter-Wave Inductors Design in Nanoscale Si CMOS," Proc. of the 9th European Microwave Integrated Circuits Conference, pp. 13-16, Oct. 2014.
- [40]. Xi Nan and Charles R. Sullivan, "An Improved Calculation of Proximity-Effect Loss in High-Frequency Windings of Round Conductors," IEEE 34th Annual Power Electronics Specialist Conference, vol. 2, pp.853-860, Jun. 2003.
- [41]. Nobuyuki Itoh, Yuka Itano, Shotaro Morimoto, and Sadayuki Yoshitomi, "Striped Inductor for Quasi Millimeter Wave Voltage-Controlled Oscillator," Proc. of Asia-Pacific Microwave Conference, pp.319-321, Seoul, Nov. 2013.
- [42]. Hiroki Tsuji, Yuka Itano, Kiyotaka Komoku, Takayuki Morishita, Sadayuki Yoshitomi and Nobuyuki Itoh, "Millimeter-Wave VCO using Striped Inductor," Proc. of Asia-Pacific Microwave Conference 2014, pp. 959-961, Sendai, Nov. 2014.
- [43]. Nobuyuki Itoh, Yuka Itano, Hiroki Tsuji, Kiyotaka Komoku, Takayuki Morishita, and Sadayuki Yoshitomi, "A Study of enhancement of Q-factor of LC Resonators in high frequency region," IEICE Technical Report, ICD2014-24, Jul. 2014
- [44]. Nobuyuki Itoh, Hiroki Tsuji, Yuka Itano, Kiyotaka Komoku, Takayuki Morishita, and Sadayuki Yoshitomi, "A Study of High-Frequency Characteristics of Stripe Shaped Inductor and its

- Application for Voltage-Controlled Oscillator,” IEICE Technical Report, EMCJ2015-74, MW2015-113, EST2015-84, Oct. 2015.
- [45]. Hiroki Tsuji, Yuka Itano, Kiyotaka Komoku, Takayuki Morishita, Sadayuki Yoshitomi and Nobuyuki Itoh, “A Study of Flicker Noise Suppression of K-Band VCO using Striped Inductor,” Proc. of Asia-Pacific Microwave Conference 2015, WE4E-1, Nanjing, Dec. 2015.
- [46]. Sadayuki Yoshitomi, “Analysis and simulation of spiral inductor fabricated on silicon substrate,” Proc. of the 2004 11th IEEE International Conference on Electronics, Circuits and Systems, pp. 365-368, Dec. 2004.
- [47]. Y. Sakamoto, K. Komoku, T. Morishita, N. Itoh, “24 GHz Low-Phase-Noise VCO Using 3D-Striped Inductor Utilized Thin-Metal Layers,” Proc. of the 2017 Asia-Pacific Microwave Conference, TH3-E, Kuala Lumpur, Nov. 2017.
- [48]. Jan Craninckx, Michiel Steyaert, “A 1.8-GHz low-phase-noise spiral-LC CMOS VCO,” VLSI Symposium, pp. 30 - 31, Jun. 1996.
- [49]. Mehmet Soyuer, Keith A. Jenkins, Joachim N. Burghartz, Michael D. Hulvey, “A 3V 4GHz nMOS voltage-controlled oscillator with integrated resonator” International Solid-State Circuits Conference, pp. 394 - 395, Feb. 1996.
- [50]. Ahmadreza Rofougaran, Jacob Rael, Maryam Rofougaran, Asad Abidi, “A 900MHz CMOS LC-oscillator with quadrature outputs” International Solid-State Circuits Conference, pp. 392 - 393, Feb. 1996.
- [51]. Behzad Razavi, “A 1.8GHz CMOS voltage-controlled oscillator” International Solid-State Circuits Conference, pp. 388 - 389, Feb. 1997.
- [52]. Steyaert, M.; Borremans, M.; Janssens, J.; de Muer, B.; Itoh, I.; Craninckx, J.; Crols, J.; Morifuji, E.; Momose, S.; Sansen, W., “A single-chip CMOS transceiver for DCS-1800 wireless communications “ International Solid-State Circuits Conference, pp. 48 - 49, Feb. 1998.
- [53]. Peter Kinget, Robert Frye, “A 2.4 GHz CMOS VCO with MCM-inductor” European Solid-State Circuits Conference, pp. 364 - 367, Sep. 1998.
- [54]. Markus Zannoth, Bernd Kolb, Josef Fenk, Robert Weigel, “A Fully Integrated VCO at 2GHz” International Solid-State Circuits Conference, pp. 224-225, Feb. 1998.

- [55]. Quiting Huang, "On the Exact Design of RF Oscillators" Custom Integrated Circuits Conference, pp. 41 - 44, May 1998.
- [56]. Byeong-Ha Park and Phillip E. Allen, "A 1GHz, low-phase-noise CMOS frequency synthesizer with integrated LC VCO for wireless communications" Custom Integrated Circuits Conference, pp. 567 - 570, May 1998.
- [57]. T.-H. Lin, H. Sanchez, R. Rofougaran, and W.J. Kaiser, "MICROPOWER CMOS RF COMPONENTS FOR DISTRIBUTED WIRELESS SENSORS" RFIC Symposium, pp.157-160, 1998.
- [58]. Dirk Pfaff, Quiting Huang, "A Quarter-Micron CMOS, 1GHz VCO/Prescaler-Set" Custom Integrated Circuits Conference, pp. 649-652, May 1999.
- [59]. F. Svelto, S. Deantoni, and R. Castello, "A 1.3GHz CMOS VCO with 28% frequency tuning" Custom Integrated Circuits Conference, pp. 645-648, May 1999.
- [60]. HongMo Wang, "A 9.8GHz Back-Gate Tuned VCO in 0.35um CMOS" International Solid-State Circuits Conference, pp. 406-407, Feb. 1999.
- [61]. Christopher Lam, Behzad Razavi, "A 2.6GHz/5.2GHz CMOS Voltage-Controlled Oscillator" International Solid-State Circuits Conference, pp. 402-403, Feb. 1999.
- [62]. Sameer Vora and Lawrence E. Larson, "Noise power optimization of monolithic CMOS VCOs" RFIC Symposium, pp.167-170, 1999.
- [63]. B. De Muer, C. De Ranter, M. Steyaert, "A fully integrated 2 GHz LC-VCO with phase noise of -125 dBc/Hz at 600kHz" European Solid-State Circuits Conference, pp. 206 - 209, Sep. 1999.
- [64]. Chih-Ming Hung, Kenneth K. O, "An 1.1-GHz packaged CMOS VCO with phase noise of - 126 dBc/Hz at a 600-kHz offset" European Solid-State Circuits Conference, pp. 330 - 333, Sep. 1999.
- [65]. J. T. Hwang, S. H. Woo, J. Y. Ryu, K. Lee, G. H. Cho, "New high performance and wide range tunable two-stage 3GHz CMOS RF hetero-linked oscillators" European Solid-State Circuits Conference, pp. 354 - 357, Sep. 1999.
- [66]. C.-M. Hung, L. Shi, I. Lagnado, K. K. O, "A 25.9-GHz voltage-controlled oscillator fabricated in a CMOS Process" VLSI Symposium, pp. 100 - 101, Jun. 2000.

- [67]. Herschel Ainspan, Jean-Olivier Plouchart, “A comparison of MOS varactors in fully-integrated CMOS LC VCO's at 5 and 7 GHz” European Solid-State Circuits Conference, Sep. 2000.
- [68]. Bram De Muer, Nobuyuki Itoh, Marc Borremans, and Michiel Steyaert, “A 1.8 GHz highly-tunable low-phase-noise CMOS VCO” Custom Integrated Circuits Conference, pp. 585 - 588, May 2000.
- [69]. Marc Tiebout, “A differentially tuned 1.73GHz-1.99GHz quadrature CMOS VCO for DECT, DCS1800 and GSM900 with a phasenoise over tuning range between -128dBc/Hz and -137dBc/Hz at 600 kHz offset” European Solid-State Circuits Conference, Sep. 2000.
- [70]. Ahmed H. Mostafa, Mourad N. El-Gamal, “A fully integrated sub-1 V 4 GHz CMOS VCO, and a 10.5 GHz oscillator” European Solid-State Circuits Conference, Sep. 2000.
- [71]. Michiel Steyaert, Johan Janssens, Bram De Muer, Marc Borremans, Nobuyuki Itoh, “A 2V CMOS Cellular Transceiver Front-End” International Solid-State Circuits Conference, pp. 142 - 143, Feb. 2000.
- [72]. F. Svelto, S. Deantoni, and R. Castello, “A 1 mA, -120.5 dbc/Hz at 600 kHz from 1.9 GHz fully tuneable LC CMOS VCO” Custom Integrated Circuits Conference, pp. 577 - 580, May 2000.
- [73]. Hélène Jacquinot, Jacques Majos, Patrice Senn, “5 GHz low-noise bipolar and CMOS monolithic VCO's” European Solid-State Circuits Conference, Sep. 2000.
- [74]. Ahmed H. Mostafa, Mourad N. El-Gamal, “A fully integrated sub-1 V 4 GHz CMOS VCO, and a 10.5 GHz oscillator” European Solid-State Circuits Conference, Sep. 2000.
- [75]. Jae Joon Kim, Beomsup Kim, “A low-phase-noise CMOS LC oscillator with a ring structure” International Solid-State Circuits Conference, pp. 430-431, Feb. 2000.
- [76]. Seong-Mo Yim and Kenneth K. O., “Demonstration of a switched resonator concept in a dual-band monolithic CMOS LC-tuned VCO” Custom Integrated Circuits Conference, May 2001.
- [77]. C. Samori, S. Levantino, and V. Boccuzzi, “A -94dBc/Hz@100kHz, fully-integrated, 5-GHz, CMOS VCO with 18% tuning range for Bluetooth applications” Custom Integrated Circuits Conference, May 2001.
- [78]. Mihai A. T. Sanduleanu, Jan Peter Frambach, “1GHz tuning range, low phase noise, LC oscillator with replica biasing common-mode control and quadrature outputs” European Solid-State Circuits Conference, Sep. 2001.

- [79].Jakub Kucera, Bernd-Ulrich Klepser, “3.6 GHz VCOs for multi-band GSM transceivers” European Solid-State Circuits Conference, Sep. 2001.
- [80].Wouter De Cock, Michiel Steyaert, “A CMOS 10GHz voltage controlled LC-oscillator with integrated high-Q inductor” European Solid-State Circuits Conference, Sep. 2001.
- [81].Thomas Liebermann, Marc Tiebout, “A low phasenoise, differentially tuned, 1.8GHz power VCO with an ESD-compatible 14dBm output stage in standard digital CMOS, Proceedings of the 27th European Solid-State Circuits Conference, September 2001.” European Solid-State Circuits Conference, Sep. 2001.
- [82].Judith Maget, Marc Tiebout, Rainer Kraus, “ Comparison of CMOS VCOs for UMTS tuned by standard and novel varactors in standard 0.25 μ m technology” European Solid-State Circuits Conference, Sep. 2001.
- [83].Dirk Pfaff, Jurgen Rogin, Quiting Huang, “A 14mA 2GHz 0.25 μ m CMOS Quadrature Demodulator Including a Low Phase Noise Local Oscillator” European Solid-State Circuits Conference, Sep. 2001.
- [84].Carl R. C. De Ranter, Michiel S. J. Steyaert, “A 0.25 μ m CMOS 17GHz VCO” International Solid-State Circuits Conference, pp. 370-371, Feb. 2001.
- [85].HongMo Wang, “A 50GHz VCO in 0.25 μ m CMOS” International Solid-State Circuits Conference, pp. 374-375, Feb. 2001.
- [86].Ryan Bunch and Sanjay Raman, “A 0.35 μ m CMOS 2.5 GHz Complementary -GM VCO Using PMOS Inversion Mode Varactors” RFIC Symposium, 2001.
- [87].P. Vancorenland, M. Steyaert, “A 1.57GHz fully integrated very low phase noise quadrature VCO” VLSI Symposium, pp. 111 - 114, Jun. 2001.
- [88].Pietro Andreani and Henrik Sjolund, “A 1.8 GHz CMOS VCO with reduced phase noise” VLSI Symposium, pp. 121 - 122, Jun. 2001.
- [89].Nobuyuki Itoh, Shin-ichiro Ishizuka, Kazuhiro Katoh, “Integrated LC-tuned VCO in BiCMOS process” European Solid-State Circuits Conference, Sep. 2001.
- [90].Judith Maget, Marc Tiebout, and Rainer Kraus, “Influence of the MOS varactor gate doping on the performance of a 2.7GHz-4GHz LC-VCO in standard digital 0.12 μ m CMOS technology” European Solid-State Circuits Conference, pp. 491-494, Sep. 2002.

- [91]. Marc Tiebout, Hans-Dieter Wohlmuth, Werner Simbürger, “A 1V 51GHz fully-integrated VCO in 0.12 μ m CMOS” International Solid-State Circuits Conference, pp. 300 - 301, Feb. 2002.
- [92]. Neric Fong, Jean-Olivier Plouchart, Noah Zamdmer, Duixian Liu, Lawrence Wagner, Calvin Plett, Garry Tarr, “A low-voltage multi-GHz VCO with 58% tuning range in SOI CMOS” Custom Integrated Circuits Conference, May 2002.
- [93]. Neric Fong, Calvin Plett, Garry Tarr, Jean-Olivier Plouchart, Duixian Liu, Noah Zamdmer, and Lawrence Wagner, “Phase noise improvement of deep submicron low-voltage VCO” European Solid-State Circuits Conference, pp. 811-814, Sep. 2002.
- [94]. “Neric Fong, Jean-Olivier Plouchart, Noah Zamdme, Duixian Liu, Lawrence Wagne,
- [95]. Calvin Plett and Garry Tarr, “A 1V 3.8-5.7 GHz Differentially-Tuned VCO in SOI CMOS” RFIC Symposium, pp.75-78, 2002.”
- [96]. Neric Fong, Jean-Olivier Plouchart, Noah Zamdmer, Duixian Liu, Lawrence Wagner, Calvin Plett, Garry Tarr, “A 40GHz VCO with 9 to 15% tuning range in 0.13 μ m SOI CMOS” VLSI Symposium, pp. 186 - 189, Jun. 2002.
- [97]. Mark Bury, Ken Martin, “A wide-tuning range transformer-based RF CMOS oscillator” European Solid-State Circuits Conference, pp. 547 - 550, Sep. 2002.
- [98]. A. Ravi, K. Soumyanath, L. R. Carley, R. Bishop, “An integrated 10/5GHz injection-locked quadrature LC VCO in a 0.18 μ m digital CMOS process” European Solid-State Circuits Conference, pp.543-546, Sep. 2002.
- [99]. Eun-Chul Park, Jun-Bo Yoon, Songcheol Hong, Euisik Yoon, “A 2.6 GHz low phase-noise VCO monolithically integrated with high Q MEMS inductors” European Solid-State Circuits Conference, Sep. 2002.
- [100]. Yi Lin, K. H. To, J. S. Hamel, W. M. Huang, “Fully integrated 5GHz CMOS VCOs with on chip low frequency feedback circuit for 1/f induced phase noise suppression” European Solid-State Circuits Conference, Sep. 2002.
- [101]. Domine Leenaerts, Carel Dijkmans, Michael Thompson, “A 0.18 μ m CMOS 2.45 GHz Low-Power Quadrature VCO with 15% Tuning Range” RFIC Symposium, pp.67-70, 2002.

- [102].Jishnu Bhattacharjee, Debanjan Mukherjee, Edward Gebara, Sebastien Nuttinck and Joy Laskar, “A 5.8 GHz Fully Integrated Lo* Power Low Phase Noise CMOS LC VCO for WLAN Applications” RFIC Symposium, pp.475-478, 2002.
- [103].Jürgen Oehm, Duyen Pham-Stübner, “Linear controlled temperature independent varactor circuitry” European Solid-State Circuits Conference, pp. 143 - 146, Sep. 2002.
- [104].Marc Tiebout, “A CMOS fully integrated 1 GHz and 2 GHz dual band VCO with a voltage controlled inductor” European Solid-State Circuits Conference, pp. 799-802, Sep. 2002.
- [105].Sander L. J. Gierkink, Salvatore Levantino, Robert C. Frye, Vito Boccuzzi, “A low-phase-noise 5GHz quadrature CMOS VCO using common-mode inductive coupling” European Solid-State Circuits Conference, Sep. 2002.
- [106].Baoyong Chi and Bingxue Shi, “Integrated 2.4 GHz CMOS Quadrature VCO with Symmetrical Spiral Inductors and Differential Varactors” RFIC Symposium, pp.451-454, 2002.
- [107].Pietro Andreani, “A 2GHz, 17% tuning range quadrature CMOS VCO with high figure-of-merit and 0.6° phase error” European Solid-State Circuits Conference, pp. 815-818, Sep. 2002.
- [108].Roberto Aparicio, Ali Hajimiri, “A CMOS Differential noise-shifting Colpitts VCO” International Solid-State Circuits Conference, pp. 288 - 289, Feb. 2002.
- [109].Pietro Andreani, “A low-phase-noise low-phase-error 1.8GHz quadrature CMOS VCO” International Solid-State Circuits Conference, pp. 290 - 291, Feb. 2002.
- [110].Donald A. Hitko, Charles G. Sodini, “International Solid-State Circuits Conference, pp. 292 - 293, Feb. 2002.
- [111].Arnoud P. van der Wel, Sander L. J. Gierkink, Robert C. Frye, Vito Boccuzzi, Bram Nauta, “A robust 43 GHz VCO in standard CMOS for OC-768 SONET applications” European Solid-State Circuits Conference, pp. 345 - 348, Sep. 2003.
- [112].KaChun Kwok, Howard C. Luong, “A 0.35-V 1.46-mW low-phase-noise oscillator with transformer feedback in standard 0.18- μ m CMOS process” Custom Integrated Circuits Conference, Sep. 2003.
- [113].Laurent Perraud, Jean-Louis Bonnot, Nicolas Sornin, Christophe Pinatel, “Fully-integrated 10 GHz CMOS VCO for multi-band WLAN applications” European Solid-State Circuits Conference, pp. 353 - 356, Sep. 2003.

- [114]. Hye-Ryoung Kim, Seung-Min Oh, Sung-Do Kim, Young-Sik Youn, Sang-Gug Lee, “ Low power quadrature VCO with the back-gate coupling” European Solid-State Circuits Conference, pp. 699 - 701, Sep. 2003.
- [115]. David Ruffieux, Erwan Le Roux, Thierry Melly, Vincent Peiris, “ A low voltage, low power VCO for the 88-108MHz FM broadcasting band, Proceedings of the 29th European Solid-State Circuits Conference, pp. 497 - 500, September 2003.” European Solid-State Circuits Conference, pp. 497 - 500, Sep. 2003.
- [116]. Jae-Hong Chang, Yong-Sik Youn, Mun-Yang Park and Choong-Ki Kim, “A New 6 GHz hilly integrated Low Power Low Phase Noise CMOS LC Quadrature VCO” RFIC Symposium, pp.295-298, 2003.
- [117]. Seon-Ho Han, Yong-Sik Youn, Hyun-Kyu Yu, and Mun-Yang Park, “A Low Power and Low Noise Frequency Synthesizer with a Integrated Quadrature VCO” RFIC Symposium, pp.307-310, 2003.
- [118]. Donghyun Baek, Taeksang Song, Sangsoo KO, Euisik Yoon, and Songcheol Hong, “Analysis on Resonator Coupling and its application to CMOS Quadrature VCO at 8 GHz” RFIC Symposium, pp.85-88, 2003.
- [119]. Tommy K. K. Tsang and Mourad N. El-Gamal, “A HIGH FIGURE OF MERIT AND AREA-EFFICIENT LOW-VOLTAGE (0.7-1 V) 12 GHz CMOS VCO” RFIC Symposium, pp.89-92, 2003.
- [120]. Tae Youn Kim, Andrew Adams and Neil Weste, “High Performance SOI and Bulk CMOS 5GHz VCOs” RFIC Symposium, pp.93-96, 2003.
- [121]. A. Ravi, K. Soumyanath, Ralph E. Bishop, Bradley A. Bloechel, L. R. Carley, “ An optimally transformer coupled, 5GHz quadrature VCO in a 0.18 μ m digital CMOS process” VLSI Symposium, pp. 141 - 144, Jun. 2003.
- [122]. Sander L. J. Gierkink, Robert C. Frye, Vito Bocuzzi, “ Differentially “Bathtub” -tuned CMOS VCO using inductively coupled varactors” European Solid-State Circuits Conference, pp. 501 - 504, Sep. 2003.
- [123]. S. Pellerano, C. Samori, S. Levantino, A. L. Lacaita, “ 13.5-mW, 5-GHz WLAN, CMOS frequency synthesizer using a true single phase clock divider” VLSI Symposium, pp. 145 - 148, Jun. 2003.

- [124]. Choong-Yul Cha, Sang-Gug Lee, "A complementary colpitts oscillator based on 0.35 μm CMOS technology" European Solid-State Circuits Conference, pp. 691 - 694, Sep. 2003.
- [125]. Aly Ismail, Asad A. Abidi, "CMOS Differential LC Oscillator with Suppressed Up-Converted Flicker Noise" International Solid-State Circuits Conference, pp. 98 - 99, Feb. 2003.
- [126]. Chia-Hsin Wu, Chun-Yi Kuo, Shen-Iuan Liu, " Selective metal parallel shunting inductor and its VCO application" VLSI Symposium, pp. 37 - 40, Jun. 2003.
- [127]. D. Linten, X. Sun, G. Carchon, W. Jeamsaksiri, A. Mercha, J. Ramos, S. Jenei, L. Aspemyr, A. J. Scholten, P. Wambacq, S. Decoutere, S. Donnay, W. De Raedt, " A 328 μW 5 GHz voltage-controlled oscillator in 90 nm CMOS with high-quality thin-film post-processed inductor" Custom Integrated Circuits Conference, May 2004.
- [128]. Luiz M. Franca-Neto, Ralph E. Bishop, Brad A. Bloechel, " 64GHz and 100GHz VCOs in 90nm CMOS using optimum pumping method" International Solid-State Circuits Conference, pp. 444 - 445, Feb. 2004.
- [129]. D. Linten, L. Aspemyr, W. Jeamsaksiri, J. Ramos, A. Mercha, S. Jenei, S. Thijs, R. Garcia, H. Jacobsson, P. Wambacq, S. Donnay, S. Decoutere, " Low-power 5 GHz LNA and VCO in 90 nm RF CMOS" VLSI Symposium, pp. 372 - 375, Jun. 2004.
- [130]. R. Aparicio, A. Hajimiri, "Circular-geometry oscillators" International Solid-State Circuits Conference, pp. 378 - 379, Feb. 2004.
- [131]. Taeksang Song, Sangsoo KO', Dae-Hyung Cho, Han-Su Oh, Chulho Chung, and Euisik Yoon, "A 5GHz Transformer-Coupled CMOS VCO Using Bias-Level Shifting Technique" RFIC Symposium, pp.127-130, 2004.
- [132]. Sangsoo KO, Jeong-Geun Kim, Tdeksang'song, Euisik Yoon, and Songcheol Hong, "20 GHz Integrated CMOS Frequency Sources with a Quadrature VCO using Transformers" RFIC Symposium, pp.269-272, 2004.
- [133]. Zhenbiao Li and Kenneth K. O, "A 1 -V Low Phase Noise Multi-Band CMOS Voltage Controlled Oscillator with Switched Inductors and Capacitors" RFIC Symposium, pp.467-450, 2004.
- [134]. Yalcin Alper Eken and John P. Uyemura, "Multiple-GHz Ring and LC VCOs in 0.18 μm CMOS" RFIC Symposium, pp.475-478, 2004.

- [135]. Axel D. Berny, Ali M. Niknejad, Robert G. Meyer, “A 1.8 GHz LC VCO with 1.3 GHz tuning range and mixed-signal amplitude calibration” VLSI Symposium, pp. 54 - 57, Jun. 2004.
- [136]. Yue Wu, Vladimir Aparin, “A monolithic low phase noise 1.7GHz CMOS VCO for zero-IF cellular CDMA receivers” International Solid-State Circuits Conference, pp. 396 - 397, Feb. 2004.
- [137]. Ren-Chieh Liu, Hong-Yeh Chang, Chi-Hsueh Wang, Huei Wang, “A 63GHz VCO using a standard 0.25 μ m CMOS process” International Solid-State Circuits Conference, pp. 446 - 447, Feb. 2004.
- [138]. Tamara A. Papalias, Thomas T. Lee, Ali Hajirniri, Robert W. Dutton and Thomas H. Lee, “Reprogrammable, Wide Tuning Range 1.6GHz CMOS VCO with Low Phase Noise Variation” RFIC Symposium, pp.479-482, 2004.
- [139]. Fredrik Tillman, Niklas Troedsson, Henrik Sjöland, “A 1.2 Volt 1.8GHz CMOS quadrature front-end” VLSI Symposium, pp. 362 - 365, Jun. 2004.
- [140]. Kostas Manetakis, Darryl Jessie, Chiewcharn Narathong, “A CMOS VCO with 48% tuning range for modern broadband systems” Custom Integrated Circuits Conference, May 2004.
- [141]. Kostas Manetakis, Darryl Jessie, Chiewcharn Narathong, “A wideband CMOS VCO for zero-IF GSM-CDMA single-chip transceiver” European Solid-State Circuits Conference, pp. 139 - 142, Sep. 2004.
- [142]. Ping-Chen Huang, Ren-Chieh Liu, Hong-Yeh Chang, Chin-Shen Lin, Ming-Fong Lei, Huei Wang, Chia-Yi Su, and Chia-Long Chang, “A 13.1 GHz Push-push VCO in 90-nm CMOS Technology” RFIC Symposium, pp.613-616, 2005.
- [143]. Chih-Ming Hung, Nathen Barton, Robert B. Staszewski, Meng-Chang Lee, Dirk Leipold, “A first RF digitally-controlled oscillator for SAW-less TX in cellular systems” VLSI Symposium, pp. 402 - 405, Jun. 2005.
- [144]. Jonghae Kim, Jean-Olivier Plouchart, Noah Zamdmer, Robert Trzcinski, Kun Wu, Blaine Jeffrey Gross, Moon Kim, “A 44GHz differentially tuned VCO with 4GHz tuning range in 0.12 μ m SOI CMOS” International Solid-State Circuits Conference, pp. 416 - 417, Feb. 2005.
- [145]. Chan-Young Jeong, Mi-Young Lee, and Changsik Yoo, “Low-phase noise LC-tank quadrature voltage controlled oscillator” Asian Solid-State Circuits Conference, pp. 269 - 272., Nov. 2005.

- [146].A. Maxim, C. Turinici, “9.953-12.5GHz 0.13 μ m CMOS LC VCO using a high resolution calibration and a constant gain varactor” Custom Integrated Circuits Conference, pp. 545 - 548, Sep. 2005.
- [147].Nathan M. Pletcher, Jan M. Rabaey, “A 100 μ W, 1.9GHz oscillator with fully digital frequency tuning” European Solid-State Circuits Conference, pp. 387 - 390, Sep. 2005.
- [148].Pierre Delatte, Gonzalo Picún, Laurent Demeûs, Pascal Simon, Denis Flandre, “ A low-power 5 GHz CMOS LC-VCO optimized for high-resistivity SOI substrates” European Solid-State Circuits Conference, pp. 395 - 398, Sep. 2005.
- [149].Davide Guermandi, Paola Tortori, Eleonora Franchi, Antonio Gnudi, “A 0.75 to 2.2GHz continuously-tunable quadrature VCO” International Solid-State Circuits Conference, pp. 536 - 537, Feb. 2005.
- [150].Changhua Cao, Kenneth K. O, “ A 90-GHz voltage-controlled oscillator with a 2.2-GHz tuning range in a 130-nm CMOS technology” VLSI Symposium, pp. 242 - 243, Jun. 2005.
- [151].Jesper Midtgaard, Thomas Jeppesen, Kåre Tais Christensen, Erik Bruun, Pietro Andreani, “ Fully integrated 1.7GHz, 188dBc/Hz FoM, 0.8V, 320 μ W LC-tank VCO and frequency divider” VLSI Symposium, pp. 244 - 247, Jun. 2005.
- [152].Yusaku Ito, Yoshiaki Yoshihara, Hirotaka Sugawara, Kenichi Okada, and Kazuya Masu, “A 1.3-2.8 GHz wide range CMOS LC-VCO using variable inductor” Asian Solid-State Circuits Conference, pp. 265 - 268., Nov. 2005.
- [153].Lincoln L. K. Leung, Kay W. C. Chui, and Howard C. Luong, “A 1V dual-band VCO using an integrated variable inductor” Asian Solid-State Circuits Conference, pp.273 - 276, Nov. 2005.
- [154].Jung-Yu Chang, Chia-Hsin Wu, and Shen-Iuan Liu, “A low-phase-noise low-phase-error 2.4GHz CMOS quadrature VCO” Asian Solid-State Circuits Conference, pp.281 - 284, Nov. 2005.
- [155].Seok-Ju Yun, So-Bong Shin, Hyung-Chul Choi, Sang-Gug Lee, “ A 1mW current-reuse CMOS differential LC-VCO with low phase noise” International Solid-State Circuits Conference, pp. 540 - 541, Feb. 2005.
- [156].Yi-Hsien Cho, Ming-Da Tsai, Hong-Yeh Chang, Chia-Chi Chang, Huei Wang, “A Low Phase Noise 52-GHz Push-Push VCO in 0.18- μ m Bulk CMOS Technologies” RFIC Symposium, pp.131-134, 2005.

- [157]. Hsieh-Hung Hsieh, Kuo-Sheng Chung and Liang-Hung Lu, "Ultra-Low-Voltage Mixer and VCO in 0.18- μ m CMOS" RFIC Symposium, pp.167-170, 2005.
- [158]. Choong-Yul Cha, Hyoung-Chul Choi, Hoon-Tae Kim and Sang-Gug Lee, "RF CMOS Differential Oscillator with Source Damping Resistors" RFIC Symposium, pp.399-402, 2005.
- [159]. Rizwan Murji and M. Jamal Deen, "Noise Contributors in a 7.2 GHz Low-Power VCO with Automatic Amplitude Control" RFIC Symposium, pp.407-410, 2005.
- [160]. Seong-Mo Moon, Moon-Que Lee, Byung-Sung Kim, "Design of Quadrature CMOS VCO using Source Degeneration Resistor" RFIC Symposium, pp.535-538, 2005.
- [161]. Ali Fard and Pietro Andreani, "A Low-Phase-Noise Wide-Band CMOS Quadrature VCO for Multi-Standard RF Front-Ends" RFIC Symposium, pp.539-542, 2005.
- [162]. Bour-Yi Sze and Chih-Long Ho, "A Low Phase Noise Quadrature LC VCO in CMOS Technology" RFIC Symposium, pp.649-652, 2005.
- [163]. Jri Lee, Jian-Yu Ding, Tuan-Yi Cheng, "A 20-Gb/s 2-to-1 MUX and a 40-GHz VCO in 0.18- μ m CMOS technology" VLSI Symposium, pp. 136 - 139, Jun. 2005.
- [164]. Frank Zhang, Chen-Feng Chu, Peter Kinget, "Voltage-controlled oscillator in the coil" Custom Integrated Circuits Conference, pp. 587 - 590, Sep. 2005.
- [165]. Adil Koukab, Yu Lei, Michel Declercq, "Multi-standard carrier generation system for quad-band GSM/WCDMA (FDD-TDD)/WLAN (802.11 a-b-g) radio" European Solid-State Circuits Conference, pp. 177 - 180, Sep. 2005.
- [166]. Stefano Pellerano, Salvatore Levantino, Carlo Samori, Andrea L. Lacaita, "A dual-band frequency synthesizer for 802.11a/b/g with fractional-spur averaging technique" International Solid-State Circuits Conference, pp. 104 - 105, Feb. 2005.
- [167]. A. Koukab, Y. Lei, and M. Declercq, "Design and Optimization of a Linear Wide-band VCO for Multimode Applications" RFIC Symposium, pp.527-530, 2005.
- [168]. Seonghan Ryu, Yujin Chung, Huijung Kim, Jinsung Choi and Bumman Kim, "Phase Noise Optimization of CMOS VCO through Harmonic Tuning" RFIC Symposium, pp.403-406, 2005.

- [169].Jinhyuck Yu, Sung-Gi Yang, Sangsoo Ko, Woonyun Kim, Wooseung Choo, and Byeong-Ha Park, "A CMOS VCO with optimized tune branches for zero-IF CDMA cellular application in a 0.5 μ m BiCMOS process" Asian Solid-State Circuits Conference, pp. 277 - 280., Nov. 2005.
- [170].Nicola Da Dalt, Claus Kropf, Markus Burian, Thomas Hartig, Hermann Eul, "A 10b 10GHz digitally controlled LC oscillator in 65nm CMOS" International Solid-State Circuits Conference, pp. 188 - 189, Feb. 2006.
- [171].Babak Soltanian, Herschel Ainspan, Woogeun Rhee, Daniel Friedman, Peter Kinget, " An ultra compact differentially tuned 6 GHz CMOS LC VCO with dynamic common-mode feedback" Custom Integrated Circuits Conference, pp. 671 - 674, Sep. 2006.
- [172].Daquan Huang, William Hant, Ning-Yi Wang, Tai W. Ku, Qun Gu, Raymond Wong, Mau-Chung F. Chang, " A 60GHz CMOS VCO using on-chip resonator with embedded artificial dielectric for size, loss and noise reduction" International Solid-State Circuits Conference, pp. 314 - 315, Feb. 2006.
- [173].Nestoras Tzartzanis, William W. Walker, "A reversible poly-phase distributed VCO" International Solid-State Circuits Conference, pp. 596 - 597, Feb. 2006.
- [174].Ranjit Gharpurey, Tien-Ling Hsieh, Srinivasan Venkatraman, "A single-tank dual-band reconfigurable oscillator" VLSI Symposium, pp. 176 - 177, Jun. 2006.
- [175].Adrian Maxim, " A varactor-less 10GHz CMOS LC-VCO for optical communications transceiver SOCs using caged inductors" Custom Integrated Circuits Conference, pp. 663 - 670, Sep. 2006.
- [176].Andrea Bevilacqua, Federico P. Pavan, Christoph Sandner, Andrea Gerosa, Andrea Neviani, " A 3.4-7 GHz transformer-based dual-mode wideband VCO" European Solid-State Circuits Conference, pp. 440 - 443, Sep. 2006.
- [177].Dries Hauspie, Eun-chul Park, Jan Craninckx, Boris Come, "Wideband VCO with simultaneous switching of frequency band, active core and varactor size" European Solid-State Circuits Conference, pp. 452 - 455, Sep. 2006.
- [178].T. Pittorino, Y. Chen, V. Neubauer, T. Mayer, L. Maurer, " A UMTS-compliant fully digitally controlled oscillator with 100Mhz fine-tuning range in 0.13 μ m CMOS" International Solid-State Circuits Conference, pp. 210 - 211, Feb. 2006.

- [179]. Ward S. Titus, John G. Kenney, “10 GHz VCO for 0.13 μ m CMOS Sonet CDR” RFIC Symposium, 2006.
- [180]. Chihun Lee, Lan-Chou Chou, Shen-Iuan Liu, Chun-Lin Ko, Ying-Zong Juang, Chin-Fong Chiu, “A 1.2V 37-38.5GHz 8-phase clock generator in 0.13 μ m CMOS technology” VLSI Symposium, pp. 27 - 28, Jun. 2006.
- [181]. Yusaku Ito, Hiroataka Sugawara, Kenichi Okada, and Kazuya Masu, “A 0.98 to 6.6 GHz tunable wideband VCO in a 180 nm CMOS technology for reconfigurable radio transceiver” Asian Solid-State Circuits Conference, pp.359 - 362, Nov. 2006.
- [182]. Dongmin Park and Seonghwan Cho, “An adaptive body-biased VCO with voltage-boosted switched tuning in 0.5-V supply” European Solid-State Circuits Conference, pp. 444 - 447, Sep. 2006.
- [183]. Alan W.L. Ng, Howard C. Luong, “A 1V 17GHz 5mW Quadrature CMOS VCO based on Transformer Coupling” International Solid-State Circuits Conference, Feb. 2006.
- [184]. Chih-Wei Yao, Alan N. Willson, Jr., “A Phase-Noise Reduction Technique for Quadrature LC-VCO with Phase-to-Amplitude Noise Conversion” International Solid-State Circuits Conference, Feb. 2006.
- [185]. Dicle Ozis, Nathan M. Neihart, and David J. Allstot, “Differential VCO and Passive Frequency Doubler in 0.18 μ m CMOS for 24GHz Applications” RFIC Symposium, 2006.
- [186]. Ping Wing Lai, Stephen I. Long, “A 5GHz CMOS Low Phase Noise Transformer Power Combining VCO” RFIC Symposium, 2006.
- [187]. Jun-Chau Chien, Liang-Hung Lu, “A 40-GHz wide-tuning-range VCO in 0.18- μ m CMOS” VLSI Symposium, pp. 178 - 179, Jun. 2006.
- [188]. Babak Soltanian, Peter Kinget, “A low phase noise quadrature LC VCO using capacitive common-source coupling” European Solid-State Circuits Conference, pp. 436 - 439, Sep. 2006.
- [189]. Pietro Andreani, Ali Fard, “A 2.3GHz LC-tank CMOS VCO with optimal phase noise performance” International Solid-State Circuits Conference, pp. 194 - 195, Feb. 2006.
- [190]. Y.Chen, V. Neubauer, Y. Liu, U. Vollenbruch, C. Wicpalek, T. Mayer, B. Neurauter, L. Maurer, and Z. Boos, “A 9 GHz dual-mode digitally controlled oscillator for GSM/UMTS transceivers in 65 nm CMOS” Asian Solid-State Circuits Conference, pp. 432 - 435., Nov. 2007.

- [191].Kim, D.D.; Jonghae Kim; Plouchart, J.-O.; Choongyeun Cho; Weipeng Li; Daihyun Lim; Trzcinski, R.; Kumar, M.; Norris, C.; Ahlgren, D., “A 70GHz Manufacturable Complementary LC-VCO with 6.14GHz Tuning Range in 65nm SOI CMOS” International Solid-State Circuits Conference, pp. 540 - 620, Feb. 2007.
- [192].N. Seller, A. Cathelin, H. Lapuyade, J.-B. Bégueret, E. Chataigner and D. Belot, “A 10GHz Distributed Voltage Controlled Oscillator for WLAN Application in a VLSI 65nm CMOS Process” RFIC Symposium, pp.115-118, 2007.
- [193].Jingcheng Zhuang, Qingjin Du, and Tad Kwasniewski, “A 3.3 GHz LC-based digitally controlled oscillator with 5kHz frequency resolution” Asian Solid-State Circuits Conference, pp. 428 - 431, Nov. 2007.
- [194].Behzad Razavi, “A mm-wave CMOS heterodyne receiver with on-chip LO and divider” International Solid-State Circuits Conference, pp. 188 - 189, Feb. 2007.
- [195].Chihun Lee; Shen-luan Liu, “A 58-to-60.4GHz Frequency Synthesizer in 90nm CMOS” International Solid-State Circuits Conference, pp. 196 - 596, Feb. 2007.
- [196].Murat Demirkan, Stephen P. Bruss and Richard R. Spencer, “11.8GHz CMOS VCO With 62% Tuning Range Using Switched Coupled Inductors” RFIC Symposium, pp.401-404, 2007.
- [197].Koji Ishibashi, Mizuki Motoyoshi, Naoki Kobayashi, Minoru Fujishima, “76GHz CMOS voltage-controlled oscillator with 7% frequency tuning range” VLSI Symposium, pp. 176 - 177, Jun. 2007.
- [198]. Chan Tat Fu and Howard C. Luong, “A 0.8-V CMOS quadrature LC VCO using capacitive coupling” Asian Solid-State Circuits Conference, pp.436 - 439, Nov. 2007.
- [199].Sohrab Emami, Chinh H. Doan, Ali M. Niknejad, Robert W. Brodersen, “A highly integrated 60GHz CMOS front-end receiver” International Solid-State Circuits Conference, pp. 190 - 191, Feb. 2007.
- [200].KaChun Kwok, John R. Long, John J. Pekarik, “A 23-to-29GHz differentially tuned varactorless VCO in 0.13 μ m CMOS” International Solid-State Circuits Conference, pp. 194 - 195, Feb. 2007.
- [201].J. Steinkamp, F. Henkel, P. Waldow, O. Pettersson, C. Hedenäs and B. Medin, “A Colpitts Oscillator Design for a GSM Base Station Synthesizer” RFIC Symposium, pp.405-408, 2007.

- [202]. Dan Shi, Jack East and Michael P. Flynn, "A Compact 5GHz Standing-Wave Resonator-based VCO in 0.13 μ m CMOS" RFIC Symposium, pp.591-594, 2007.
- [203]. Chien-Cheng Wei, Hsien-Chin Chiu, and Wu-Shiung Feng, "A 12-GHz Low Phase Noise VCO By Employing CMOS Field-Plate Transistors" RFIC Symposium, pp.603-606, 2007.
- [204]. Lin Jia, Yeung Bun Choi and Wooi Gan Yeoh, "A 5.8-GHz VCO with Precision Gain Control" RFIC Symposium, pp.701-704, 2007.
- [205]. Win Chaivipas, Takeshi Ito, Takashi Kurashina, Kenichi Okada, and Akira Matsuzawa, "Fine and wide frequency tuning digital controlled oscillators utilizing capacitance position sensitivity in distributed resonators" Asian Solid-State Circuits Conference, pp. 424 - 427., Nov. 2007.
- [206]. Lin Zhang, Berkehan Ciftcioglu, Hui Wu, "A 1V, 1mW, 4GHz injection-locked oscillator for high-performance clocking" Custom Integrated Circuits Conference, pp. 309 - 312, Sep. 2007.
- [207]. Jun-Chau Chien; Liang-Hung Lu, "40GHz Wide-Locking-Range Regenerative Frequency Divider and Low-Phase-Noise Balanced VCO in 0.18 μ m CMOS" International Solid-State Circuits Conference, pp. 544 - 621, Feb. 2007.
- [208]. Ibrahim R. Chamas and Sanjay Raman, "An X-Band Superharmonic Injection-Coupled Quadrature VCO (IC-QVCO) with a Tunable Tail Filter for I/Q Phase Calibration" RFIC Symposium, pp.123-126, 2007.
- [209]. D. J. Young, S. J. Mallin, and M. Cross, "2 GHz CMOS Voltage-Controlled Oscillator with Optimal Design of Phase Noise and Power Dissipation" RFIC Symposium, pp.131-134, 2007.
- [210]. Sudip Shekhar, Sankaran Aniruddhan, and David J. Allstot, "A Tuned-Input Tuned-Output VCO in 0.18 μ m CMOS" RFIC Symposium, pp.607-610, 2007.
- [211]. Quang Diep Bui, Chul Soon Park, "All-PMOS Wideband VCO with an Automatic Amplitude Controller for Multi-band Multi-standard Radios" RFIC Symposium, pp.697-700, 2007.
- [212]. Hsieh-Hung Hsieh, Liang-Hung Lu, "A 63-GHz voltage-controlled oscillator in 0.18- μ m CMOS" VLSI Symposium, pp. 178 - 179, Jun. 2007.
- [213]. Burak Çatlı and Mona M. Hella, "A Dual Band, Wide Tuning Range CMOS Voltage Controlled Oscillator for Multi-Band Radio" RFIC Symposium, pp.595-598, 2007.

- [214]. Eunyong Seok, Changhua Cao, Dongha Shim, Daniel J. Arenas, David B. Tanner, Chih-Ming Hung, K. O. Kenneth, "A 410GHz CMOS push-push oscillator with an on-chip patch antenna" International Solid-State Circuits Conference, pp. 472 - 473, Feb. 2008.
- [215]. J. Borremans, P. Wambacq, M. Kuijk, G. Carchon, S. Decoutere, "A 400 μ W 4.7-to-6.4GHz VCO under an above-IC inductor in 45nm CMOS" International Solid-State Circuits Conference, pp. 536 - 537, Feb. 2008.
- [216]. Romaric Toupé, Yann Deval, Franck Badets, Jean-Baptiste Bégueret, "A 65-nm CMOS 8-GHz injection locked oscillator for HDR UWB applications" European Solid-State Circuits Conference, pp. 106 - 109, Sep. 2008.
- [217]. Ekaterina Laskin, Mehdi Khanpour, Ricardo Aroca, Keith W. Tang, Patrice Garcia, Sorin P. Voinigescu, "A 95GHz receiver with fundamental-frequency VCO and static frequency divider in 65nm digital CMOS" International Solid-State Circuits Conference, pp. 180 - 181, Feb. 2008.
- [218]. Andrea Mazzanti, Marco Sosio, Matteo Repossi, Francesco Svelto, "A 24GHz sub-harmonic receiver front-end with integrated multi-phase LO generation in 65nm CMOS" International Solid-State Circuits Conference, pp. 216 - 217, Feb. 2008.
- [219]. Hammad M. Cheema, Reza Mahmoudi, M.A.T. Sanduleanu, Arthur van Roermund, "A 44.5 GHz Differentially Tuned VCO in 65nm Bulk CMOS with 8% Tuning Range" RFIC Symposium, pp.649-652, 2008.
- [220]. S. Bozzola, D. Guermandi, A. Mazzanti and F. Svelto, "An 11.5% frequency tuning, -184 dBc/Hz noise FOM 54 GHz VCO" RFIC Symposium, pp.657-660, 2008.
- [221]. Chi-Yao Yu, Wei-Zen Chen, Chung-Yu Wu, and Tai-You Lu, "A 60-GHz, 14% tuning range, multi-band VCO with a single variable inductor" Asian Solid-State Circuits Conference, pp. 129 - 132., Nov. 2008.
- [222]. Win Chaivipas, Kenichi Okada, and Akira Matsuzawa, "A 80GHz voltage controlled oscillator utilizing a negative varactor in 90nm CMOS technology" Asian Solid-State Circuits Conference, pp. 133 - 136, Nov. 2008.
- [223]. Raffaella Genesi, Francesco M. De Paola, Danilo Manstretta, "A 53 GHz DCO for mm-wave WPAN" Custom Integrated Circuits Conference, pp. 571 - 574, Sep. 2008.

- [224]. Lianming Li, Patrick Reynaert, Michiel Steyaert, “A 90nm CMOS mm-wave VCO using an LC tank with inductive division” European Solid-State Circuits Conference, pp. 238 - 241, Sep. 2008.
- [225]. Francesco M. De Paola, Raffaella Genesi, Danilo Manstretta, “A 71-73 GHz voltage-controlled standing-wave oscillator in 90 nm CMOS technology” European Solid-State Circuits Conference, pp. 254 - 257, Sep. 2008.
- [226]. K. Scheir, S. Bronckers, J. Borremans, P. Wambacq, Y. Rolain, “A 52GHz phased-array receiver front-end in 90nm digital CMOS” International Solid-State Circuits Conference, pp. 184 - 185, Feb. 2008.
- [227]. Ali Parsa, Behzad Razavi, “A 60GHz CMOS receiver using a 30GHz LO” International Solid-State Circuits Conference, pp. 190 - 191, Feb. 2008.
- [228]. J. Borremans, S. Bronckers, P. Wambacq, M. Kuijk, J. Craninckx, “A single-inductor dual-band VCO in a 0.06mm² 5.6GHz multi-band front-end in 90nm digital CMOS” International Solid-State Circuits Conference, pp. 324 - 325, Feb. 2008.
- [229]. Antonio Liscidini, Marika Tedeschi, Rinaldo Castello, “A 2.4 GHz 3.6mW 0.35mm² quadrature front-end RX for ZigBee and WPAN applications” International Solid-State Circuits Conference, pp. 370 - 371, Feb. 2008.
- [230]. Daquan Huang, Tim R. LaRocca, Lorene Samoska, Andy Fung, Mau-Chung Frank Chang, “324GHz CMOS Frequency Generator Using Linear Superposition Technique” International Solid-State Circuits Conference, pp. 476-477, Feb. 2008.
- [231]. Masum Hossain, Anthony Chan Carusone, “20 GHz low power QVCO and de-skew techniques in 0.13 μ m digital CMOS” Custom Integrated Circuits Conference, pp. 447 - 450, Sep. 2008.
- [232]. Zahra Safarian, Hossein Hashemi, “A 1.3-6 GHz triple-mode CMOS VCO using coupled inductors” Custom Integrated Circuits Conference, pp. 69 - 72, Sep. 2008.
- [233]. L. Nathawad, M. Zargari, H. Samavati, S. Mehta, A. Kheirkhahi, P. Chen, K. Gong, B. Vakili-Amini, J. Hwang, M. Chen, M. Terrovitis, B. Kaczynski, S. Limotyrakis, M. Mack, H. Gan, M. Lee, S. Abdollahi-Alibeik, B. Baytekin, K. Onodera, S. Mendis, A. Chang, S. Jen, D. Su, B. Wooley, “A dual-band CMOS MIMO radio SoC for IEEE 802.11n wireless LAN” International Solid-State Circuits Conference, pp. 358 - 359, Feb. 2008.

- [234]. Andrea Mazzanti, Pietro Andreani, “A 1.4mW 4.90-to-5.65GHz class-C CMOS VCO with an average FoM of 194.5dBc/Hz” International Solid-State Circuits Conference, pp. 474 - 475, Feb. 2008.
- [235]. Yusuke Wachi, Toshiyuki Nagasaki, Hiroshi Kondoh, “A 28GHz low-phase-noise CMOS VCO using an amplitude-redistribution technique” International Solid-State Circuits Conference, pp. 482 - 483, Feb. 2008.
- [236]. J. Borremans, M. Dehan, K. Scheir, M. Kuijk, P. Wambacq, “VCO design for 60 GHz applications using differential shielded inductors in 0.13 μm CMOS” RFIC Symposium, pp. 135-138, 2008.
- [237]. T. Y. Lin, T. Y. Yu, L. W. Ke, G. K. Dehng, “A Low-Noise VCO with a Constant KVCO for GSM/GPRS/EDGE” RFIC Symposium, pp. 387-390, 2008.
- [238]. Youngjae Lee, Seokbong Hyun and Cheonsoo Kim, “Current Reuse Cross-Coupling CMOS VCO Using the Center- Tapped Transformer in LC Tank for Digitally Controlled Oscillator” RFIC Symposium, pp. 549-552, 2008.
- [239]. Bodhisatwa Sadhu, Umaikhe E. Omole, Ramesh Harjani, “Modeling and synthesis of wide-band switched-resonators for VCOs” Custom Integrated Circuits Conference, pp. 225 - 228, Sep. 2008.
- [240]. Kazuma Ohashi, Yuka Kobayashi, Hiroyuki Ito, Kenichi Okada, Hideki Hatakeyama, Takuya Aizawa, Tatsuya Ito, Ryoza Yamauchi and Kazuya Masu, “A Low Phase Noise LC-VCO with a High-Q Inductor Fabricated by Wafer Level Package Technology” RFIC Symposium, pp. 123-126, 2008.
- [241]. Chih-Hsiang Chang and Ching-Yuan Yang, “A Low-Voltage High-Frequency CMOS LC-VCO Using a Transformer Feedback” RFIC Symposium, pp. 545-548, 2008.
- [242]. Kim, D.D.; Jonghae Kim; Choongyeun Cho; Plouchart, J.-O.; Kumar, M.; Woo-Hyeong Lee; Ken Rim; “An array of 4 complementary LC-VCOs with 51.4% W-Band coverage in 32nm SOI CMOS” International Solid-State Circuits Conference, pp. 278 - 279, 279a, Feb. 2009.
- [243]. Rachid El Waffaoui and Simon Lee, “A 5.8GHz LC-Based Digitally Controlled Oscillator with 20kHz frequency resolution and 37 % tuning range” European Solid-State Circuits Conference, Sep. 2009.

- [244].Stefano Dal Toso, Andrea Bevilacqua, Marc Tieboutl, Nicola Da Daltt , Andrea Gerosa and Andrea Neviani, “A 0.059-mm² 10.8-mW Local Oscillator for GSM Systems in 65-nm CMOS” European Solid-State Circuits Conference, Sep. 2009.
- [245].Kun-Hung Tsai; Shen-Iuan Liu,; “A 43.7mW 96GHz PLL in 65nm CMOS” International Solid-State Circuits Conference, pp.276 - 277,277a, Feb. 2009.
- [246].José Luis González Jiménez, Franck Badets, Baudouin Martineau, Didier Belot, “A 56GHz LC-Tank VCO with 17% Tuning Range in 65nm Bulk CMOS for Wireless HDMI Applications” RFIC Symposium, pp.481-484, 2009.
- [247].Zhang, Ning; Kenneth, K. O, “CMOS frequency generation system for W-band radars” VLSI Symposium, pp. 126 - 127, Jun. 2009.
- [248].Hara, S.; Okada, K; Matsuzawa, A. , “A 9.3MHz to 5.7GHz tunable LC-based VCO using a divide-by-N injection-locked frequency divider” Asian Solid-State Circuits Conference, pp. 81-84, Nov. 2009.
- [249].Yoichi Kawano, Toshihide Suzuki, Masaru Sato, Tatsuya Hirose, Kazukiyo Joshin, “A 77GHz Transceiver in 90nm CMOS” International Solid-State Circuits Conference, pp.310-311, Feb. 2009.
- [250].Akira Tanabe, Ken'ichiro Hijioka, Hirokazu Nagase, and Yoshihiro Hayashi, “A Low-Power, Small Area Quadrature LC-VCO using miniature 3D Solenoid shaped Inductor” RFIC Symposium, pp.263-266, 2009.
- [251].Lianming Li, Patrick Reynaert, Michiel Steyaert, “A Low Power mm-wave Oscillator Using Power Matching Techniques” RFIC Symposium, pp.469-472, 2009.
- [252].Razavi, Behzad,; “Multi-decade carrier generation for cognitive radios” VLSI Symposium, pp. 120 - 121, Jun. 2009.
- [253].Sadhu, B.; Jaehyup Kim; Harjani, R.,; “A CMOS 3.3-8.4 GHz wide tuning range, low phase noise LC VCO” Custom Integrated Circuits Conference, pp. 559 - 562, Sep. 2009.
- [254].Catli, B.; Hella, M.M., “A 60 GHz CMOS combined mm-wave VCO/divider with 10-GHz tuning range” Custom Integrated Circuits Conference, pp. 665 - 668, Sep. 2009.
- [255].Markus Törmänen and Henrik Sjöland, “A 24 GHz VCO with 20 % tuning range in 130-nm CMOS using SOP Technology” RFIC Symposium, pp.473-476, 2009.

- [256]. Chieh-An Lin, Jing-Lin Kuo, Kun-You Lin, and Huei Wang, "A 24 GHz Low Power VCO With Transformer Feedback" RFIC Symposium, pp.75-78, 2009.
- [257]. Yusuke Takigawa, Hiroshi Ohta, Qing Liu*, Satoshi Kurachi, Nobuyuki Itoh, and Toshihiko Yoshimasu, "A 92.6 % Tuning Range VCO Utilizing Simultaneously Controlling of Transformers and MOS Varactors in 0.13 μm CMOS Technology" RFIC Symposium, pp.83-86, 2009.
- [258]. Aleksander Dec, Hiroshi Akima, and Ken Suyama, "A 5GHz LC VCO with Extended Linear-Range Varactor in Purely Digital 0.15 μm CMOS Process" RFIC Symposium, pp.567-570, 2009.
- [259]. Jong-Phil Hong and Sang-Gug Lee, "Low Phase Noise Gm-Boosted Differential Colpitts VCO with Suppressed AM-to-FM Conversion" RFIC Symposium, pp.255-258, 2009.
- [260]. Kuang-Wei Cheng and David J. Allstot, "A Gate-Modulated CMOS LC Quadrature VCO" RFIC Symposium, pp.267-270, 2009.
- [261]. Shih-An Yu, Yves Baeyens, Joe Weiner, Ut-Va Koc, Marta Rambaud, Fang-Ren Liao, Young-Kai Chen, and Peter Kinget, "A Single-Chip 0.125-26GHz Signal Source in 0.18 μm SiGe BiCMOS" RFIC Symposium, pp.427-430, 2009.
- [262]. Tuan Thanh TA, Suguru KAMEDA, Tadashi TAKAGI, and Kazuo TSUBOUCHI, "A 5GHz Band Low Noise and Wide Tuning Range Si-CMOS VCO" RFIC Symposium, pp.571-574, 2009.
- [263]. Yen-Hung Kuo, Jeng-Han Tsai*, Tian-Wei Huang, "A 1.7-mW, 16.8% Frequency Tuning, 24-GHz Transformer-Based LC-VCO using 0.18- μm CMOS Technology" RFIC Symposium, pp.79-82, 2009.
- [264]. Chi-Kai Hsieh, Kun-Yao Kao, and Kun-You Lin, "An Ultra-Low-Power CMOS Complementary VCO Using Three- Coil Transformer Feedback" RFIC Symposium, pp.91-94, 2009.
- [265]. Okada, Kenichi; Nomiyama, You; Murakami, Rui; Matsuzawa, Akira;, "A 0.114-mW dual-conduction class-C CMOS VCO with 0.2-V power supply" VLSI Symposium, pp. 228 - 229, Jun. 2009.
- [266]. S. J. Cheng, Y. Zheng and C. H. Heng, "1.1 to 1.9GHz CMOS VCO for Tuner Application with Resistively Tuned Variable Inductor" RFIC Symposium, pp.87-90, 2009.

- [267]. Ghosh, D.; Taylor, S.S.; Yulin Tan; Gharpurey, R.; “A 10 GHz low phase noise VCO employing current reuse and capacitive power combining” Custom Integrated Circuits Conference, Sep. 2010.
- [268]. Goel, A.; Rylyakov, A.; Ainspan, H.; Friedman, D.; “A compact 6 GHz to 12 GHz digital PLL with coupled dual-LC tank DCO” VLSI Symposium, pp. 141 - 142, Jun. 2010.
- [269]. David Murphy, Qun Jane Gu, Yi-Cheng Wu, Heng-Yu Jian, Zhiwei Xu, Adrian Tang, Frank Wang, Yu-Ling Lin Ho-Hsiang Chen, Chewnpu Jou, Mau-Chung Frank Chang, “A Low Phase Noise, Wideband and Compact CMOS PLL for Use in a Heterodyne 802.15.3c TRX” European Solid-State Circuits Conference, Sep. 2010.
- [270]. Federico Vecchi, Stefano Bozzola, Massimo Pozzoni, Davide Guermandi, Enrico Temporiti, Matteo Repposi, Ugo Decanis, Andrea Mazzanti, Francesco Svelto, “A Wideband mm-Wave CMOS Receiver for Gb/s Communications Employing Interstage Coupled Resonators” International Solid-State Circuits Conference, pp.220-221, Feb. 2010.
- [271]. Olivier Richard, Alexandre Siligaris, Franck Badets, Cedric Dehos, Cedric Dufis, Pierre Busson, Pierre Vincent, Didier Belot, Pascal Urard, “A 17.5-to-20.94GHz and 35-to-41.88GHz PLL in 65nm CMOS for Wireless HD Applications” International Solid-State Circuits Conference, pp.252-253, Feb. 2010.
- [272]. Andrea Mazzanti, Enrico Monaco, Massimo Pozzoni, Francesco Svelto, “A 13.1% Tuning Range 115GHz Frequency Generator Based on an Injection-Locked Frequency Doubler in 65nm CMOS” International Solid-State Circuits Conference, pp.422-423, Feb. 2010.
- [273]. Luca Fanori, Antonio Liscidini, Rinaldo Castello, “3.3GHz DCO with a Frequency Resolution of 150Hz for All-Digital PLL” International Solid-State Circuits Conference, pp.48-49, Feb. 2010.
- [274]. Salvatore Levantino, Marco Zanuso, Carlo Samori, Andrea Lacaita, “Suppression of Flicker Noise Upconversion in a 65nm CMOS VCO in the 3.0-to-3.6GHz Band” International Solid-State Circuits Conference, pp.50-51, Feb. 2010.
- [275]. Alvin Hsing-Ting Yu, Sai-Wang Tam, David Murphy, Tatsuo Itoh, M.C. Frank Chang, “A mm-Wave Arbitrary 2N Band Oscillator Based on Even-Odd Mode Technique” RFIC Symposium, pp.141-144, 2010.

- [276]. Mohammad Nariman, Reza Rofougaran, and Franco De Flaviis, "A Switched-Capacitor mm-Wave VCO in 65 nm Digital CMOS" RFIC Symposium, pp.157-160, 2010.
- [277]. Razavi, B., "A 300-GHz fundamental oscillator in 65-nm CMOS technology" VLSI Symposium, pp. 113 - 114, Jun. 2010.
- [278]. Wei Deng; Okada, K.; Matsuzawa, A., "A 0.5-V, 0.05-to-3.2 GHz, 4.1-to-6.4 GHz LC-VCO using E-TSPC frequency divider with forward body bias for sub-picosecond-jitter clock generation" Asian Solid-State Circuits Conference, Nov. 2010.
- [279]. Pietro Andreani, Kirill Kozmin, Per Sandrup, and Thomas Mattsson, "A transmitter CMOS VCO for WCDMA/EDGE" European Solid-State Circuits Conference, Sep. 2010.
- [280]. Tanabe, A.; Hijioka, K.; Nagase, H.; Hayashi, Y., "A 5--20GHz tunable LC-VCO using variable bridge inductor" VLSI Symposium, pp. 47 - 48 , Jun. 2010.
- [281]. Hara, S.; Okada, K.; Matsuzawa, A., "10MHz to 7GHz quadrature signal generation using a divide-by-4/3, -3/2, -5/3, -2, -5/2, -3, -4, and -5 injection-locked frequency divider" VLSI Symposium, pp. 51 - 52, Jun. 2010.
- [282]. Tai Nghia Nguyen; Jong-Wook Lee, "A new transformer-coupled differential Armstrong VCO for very low power operation" Asian Solid-State Circuits Conference, Nov. 2010.
- [283]. Akima, H.; Dec, A.; Merkin, T.; Suyama, K., "A 10 GHz frequency-drift temperature compensated LC VCO with fast-settling low-noise voltage regulator in 0.13 μm CMOS" Custom Integrated Circuits Conference, Sep. 2010.
- [284]. Farhabakhshian, F.; Brown, T.; Mayaram, K.; Fiez, T., "A 475 mV, 4.9 GHz enhanced swing differential Colpitts VCO in 130 nm CMOS with an FoM of 196.2 dBc/Hz" Custom Integrated Circuits Conference, Sep. 2010.
- [285]. Zhiming Deng; Niknejad, A.M., "A 4-port-inductor-based VCO coupling method for phase noise reduction" Custom Integrated Circuits Conference, Sep. 2010.
- [286]. Liang Wu, Alan W. L. Ng, Lincoln L. K. Leung, and Howard C. Luon, "A 24-GHz and 60-GHz Dual-Band Standing-Wave VCO in 0.13 μm CMOS Process" RFIC Symposium, pp.145-148, 2010.
- [287]. "Tino Copani, Hyungseok Kim, Bertan Bakkaloglu, Sayfe Kiaei, "A 0.13- μm CMOS Local Oscillator for 60-GHz

- [288]. Applications Based on Push-Push Characteristic of Capacitive Degeneration” RFIC Symposium, pp.153-156, 2010.”
- [289]. Seung Wan Chai, Jaemo Yang, Bon-Hyun Ku, and Songcheol Hong, “Millimeter Wave CMOS VCO with a High Impedance LC tank” RFIC Symposium, pp.545-548, 2010.
- [290]. Hiroshi Akima, Aleksander Dec, and Ken Suyama, “A Wide Tuning 1.3 GHz LC VCO with Fast Settling Noise Filtering Voltage Regulator in 0.18 μm CMOS Process” RFIC Symposium, pp.333-336, 2010.
- [291]. Chang-Hsi Wu and Guan-Xiu Jian, “A CMOS LC VCO with Novel Negative Impedance Design for Wide-Band Operation” RFIC Symposium, pp.537-540, 2010.
- [292]. Shen Wang, Dong Sam Ha, Beomsup Kim and Vipul Chawla, “A Combined VCO and Divide-by-Two for Low-Voltage Low-Power 1.6 GHz Quadrature Signal Generation” Custom Integrated Circuits Conference, 2011.
- [293]. Decanis, Ugo; Ghilioni, Andrea; Monaco, Enrico; Mazzanti, Andrea; Svelto, Francesco, “A mm-Wave Quadrature VCO Based on Magnetically Coupled Resonators” International Solid-State Circuits Conference, pp.280-281, Feb. 2011.
- [294]. Jianhua Lu; Ning-Yi Wang; Chang, M.F., “A single-LC-tank 5–10 GHz quadrature local oscillator for cognitive radio applications “ RFIC Symposium, 2011.
- [295]. Trivedi, V.P.; Kun-Hin To; Huang, W.M., “A 77GHz CMOS VCO with 11.3GHz tuning range, 6dBm output power, and competitive phase noise in 65nm bulk CMOS “ RFIC Symposium, 2011.
- [296]. Volkaerts, W.; Steyaert, M.; Reynaert, P., “118GHz fundamental VCO with 7.8% tuning range in 65nm CMOS “ RFIC Symposium, 2011.
- [297]. Jooyaie, A.; Chang, M.C.F., “A V-band Voltage Controlled Oscillator with greater than 18GHz of continuous tuning-range based on orthogonal E mode and H mode control “ RFIC Symposium, 2011.
- [298]. Lianming Li, Patrick Reynaert, and Michiel Steyaert, “A Colpitts LC VCO with Miller-Capacitance Gm Enhancing and Phase Noise Reduction Techniques” European Solid-State Circuits Conference, pp.491-494, 2011.
- [299]. Massound Tohidian, Ali Fotowat-Ahmadi, Mahmoud Kanarei, Fabien Ndagijimana, “High-Swing Class-C VCO” European Solid-State Circuits Conference, pp.495-498, 2011.

- [300].Feng Zhao; Dai, F.F., “A 0.6V quadrature VCO with optimized capacitive coupling for phase noise reduction “Custom Integrated Circuits Conference, 2011.
- [301].Saber, S.; Paramesh, J., “A 11.5–22GHz dual-resonance transformer-coupled quadrature VCO” RFIC Symposium, 2011.
- [302].Titus, W.S.; Kenney, J.G., “A 5.6GHz to 11.5GHz DCO for digital dual loop CDRs “RFIC Symposium, 2011.
- [303].“Wei Deng, Kenichi Okada, and Akira Matsuzawa, ““A Feedback Class-C VCO with Robust Startup
Condition over PVT Variations and Enhanced Oscillation Swing” European Solid-State Circuits Conference, pp.499-502, 2011.”
- [305].Nadav Buadana and Eran Socher, “A triple band travelling wave VCO using digitally controlled artificial dielectric transmission lines “RFIC Symposium, 2011.
- [306].Wei Deng; Okada, K.; Matsuzawa, A., “A 25MHz–6.44GHz LC-VCO using a 5-port inductor for multi-band frequency generation “RFIC Symposium, 2011.
- [307].Luca Fanori, Antonio Liscidini, Pietro Andreani, “A 6.7-to9.2 GHz 55nm CMOS Hybrid Class-B/Class-C Cellular TX VCO” International Solid-State Circuits Conference, pp.354-356, Feb. 2012.
- [308].Yahya M. Tousi, Omeed Momeni, Ehsan Afshari, “A 283-to296 GHz VCO with 0.76mW Peak Output Power in 65 nm CMOS” International Solid-State Circuits Conference, pp.258-260, Feb. 2012.
- [309].Vishal P. Trivedi and Kun-Hin To, “A Novel mmWave CMOS VCO with an AC-Coupled LC Tank” RFIC Symposium, pp.515-518, 2012.
- [310].Shiyuan Zheng, Howard C. Luong, “A 4.1-to-6.5GHz Transformer-Coupled CMOS Quadrature Digitally-Controlled Oscillator with Quantization Noise Suppression” RFIC Symposium, pp.519-522, 2012.
- [311].Alvin Li, Howard C. Luong, “A Reconfigurable 4.7-6.6GHz and 8.5-10.7GHz Concurrent and Dual-Band Oscillator in 65nm CMOS” RFIC Symposium, pp.523-536, 2012.

略語リスト

64QAM	64 Quadrature Amplitude Modulation
b BSIM4	An Advanced Voltage-Based MOSFET Model for Circuit Simulation
c CMOS	Complementary MOS
C-V	Capacitance - Voltage
e EM	Electro Magnetics
f Fin-FET	Multi-gate device of "Fin" structure
FOMA	Freedom Of Mobile multimedia access
g GSM	Global System for Mobile communications
h HSDPA	High Speed Downlink Packet Access
HSUPA	High Speed Uplink Packet Access
i IMT-2000	International Mobile Telecommunication 2000
IP	Internet protocol
l LAN	Local Area Network
LC 共振器	L:inductor C:Capacitor (=LC-VCO)
LSI	Large Scale Integration
LTE	Long Term Evolution
m MEMS	Micro Electro Mechanical Systems
MIM キャパシタ	Metal-Insulator-Metal capacitor
MOM キャパシタ	Metal-Oxide-Metal capacitor
n NF	Noise Figure
p PDC	Personal Digital Cellular
PN	Phase Noise
PSP	An Advanced Surface-Potential-Based MOSFET Model for Circuit Simulation
PSP MOSVAR	PSP model for MOS varactor
q QPSK	Quadrature Phase Shift Keying
Q 値	Quality factor
r RF	Radio Frequency
RX	Receiver (⇔TX Transmitter)
s SFC	Stray Fringe Capacity
v VCO	Voltage Controlled Oscillator
w WCDMA	Wideband Code Division Multiple Access
WiMAX	Worldwide Interoperability for Microwave Access
WLAN	Wireless LAN

論文・業績リスト

◎学位論文の基礎となる論文

<ジャーナル論文（査読有）>

- ◎[1] Y. Itano, S. Morimoto, S. Yoshitomi, and N. Itoh, "High-Q MOS Varactor Models for Quasi-Millimeter-Wave Low-Noise LC-VCOs," IEICE Transaction on Fundamentals, Vol. E97-A, No.3, pp. 759-767, Mar. 2014.
- [2] N. Itoh, H. Tsuji, Y. Itano, T. Morishita, K. Komoku, and S. Yoshitomi, "A Study of Striped Inductor for K- and Ka-band Voltage-Controlled Oscillators," IEICE Transaction on Electronics, Vol.E99-C, No.6, pp.614-622, Jun. 2016.
- [3] 小川巧馬, 森下賢幸, 小椋清孝, 板野由佳, 吉富貞幸, 伊藤信之, "電流再利用同時受信増幅器の研究" 電子情報通信学会論文誌 A, Vol.J99-A, No.8, pp.328-331, Aug. 2016.
- ◎[4] Y. Itano, T. Kitano, Y. Sakamoto, K. Komoku, T. Morishita, N. Itoh, "Modeling and Layout Optimization of MOM Capacitor for High-Frequency Applications," Accepted on the IEICE Transaction on Fundamentals, Vol.E101-A, No. 2, pp.-,Feb. 2018.

<国際学会論文（査読有）>

- [1] Y. Itano, N. Itoh, S. Yoshitomi, H. Hoshino, "High-Q MOS-Varactor Modeling for mm-Wave VCOs," Proc. of the 2012 Asia-Pacific Microwave Conference (APMC2012), pp.202-204, Kaohsiung, Dec. 2012.
- ◎[2]. N. Itoh, Y. Itano, S. Morimoto, S. Yoshitomi, "Striped Inductor for Quasi Millimeter Wave Voltage-Controlled Oscillator," Proc. of the 2013 Asia-Pacific Microwave Conference (APMC2013), pp.319-321, Seoul, Nov. 2013.
- [3]. N. Itoh, R. Ohnishi, Y. Itano, T. Ogawa, H. Tsuji, K. Komoku, T. Morishita, and S. Yoshitomi, "Scalable Analytical MOSFET Model for Analog Circuit Design," Proc. of the Analog VLSI Circuits (AVIC2014), pp. 272-275, Ho Chi Minh City, Oct. 2014.
- [4] H. Tsuji, Y. Itano, K. Komoku, T. Morishita, S. Yoshitomi, and N. Itoh, "Millimeter-Wave VCO using Striped Inductor, " Proc. of the 2014 Asia-Pacific Microwave Conference (APMC2014), pp.959-961, Sendai, Nov. 2014.
- [5]. H. Tsuji, Y. Itano, K. Komoku, T. Morishita, S. Yoshitomi, and N. Itoh, "A Study of Flicker Noise Suppression of K-Band VCO using Striped Inductor," Proc. of the 2015 Asia-Pacific Microwave Conference (APMC2015), WE4E-1, Nanjing, Dec. 2015.
- [6] T. Ogawa, T. Morishita, K. Komoku, Y. Itano, S. Yoshitomi, and N. Itoh, "A Study of Current-Reuse 800 MHz/1.9 GHz Concurrent Dual-Band Amplifier," IEEE Radio and Wireless Symposium 2016 (RWS2016), pp.245-247, Austin, Jan. 2016.

<国内学会論文>

- [1]. 板野由佳, 伊藤信之, 吉富貞幸, 君島秀樹, “ミリ波領域における High-Q MOS バラクタのスケラブルモデル,” 電子情報通信学会総合大会, C-12-76, 岡山, 2012 年 3 月.
- [2]. 板野由佳, 伊藤信之, 吉富貞幸, 星野洋昭, “ミリ波領域における MOS バラクタのモデリング,” 電気学会 電子回路研究会 高周波集積回路の先端化技術と応用技術, ECT-13-026, 香川, 2013 年 1 月 26 日.
- [3]. 伊藤信之, 板野由佳, 森本正太郎, “準ミリ波以上の周波数領域における LC 電圧制御発振器の共振器回路の Q 値向上手法の検討,” 電子情報通信学会マイクロ波研究会, MW2012-125, 広島, 2013 年 3 月 7 日.
- [4]. 伊藤信之, 板野由佳, 辻大輝, 小椋清孝, 森下賢幸, 吉富貞幸, “高周波領域における LC 共振器の Q 値向上手法の検討,” 電子情報通信学会集積回路研究会, ICD2014-24, 出雲, 2014 年 7 月 4 日.
- [5]. 小川巧馬, 板野由佳, 森下賢幸, 小椋清孝, 伊藤信之, “キャリア・アグリゲーション対応 2 バンド同時受信低雑音増幅器の研究,” 第 16 回 IEEE 広島支部学生シンポジウム, B-18, 広島, 2014 年 11 月.
- [6]. 辻大輝, 板野由佳, 小椋清孝, 森下賢幸, 吉富貞幸, 伊藤信之, “ストライプドインダクタを用いた CMOS LC VCO の位相雑音改善に関する研究,” 電気学会 電子回路研究会 高周波集積回路の先端化技術と応用技術, ECT-15-001, pp.1-7, 高知, 2015 年 1 月 22 日.
- [7]. 辻大輝, 板野由佳, 小椋清孝, 森下賢幸, 伊藤信之, 吉富貞幸, “準ミリ波帯における容量結合型電力合成 LC-VCO による低位相雑音化に関する研究,” 平成 27 年度 (第 66 回) 電気・情報関連学会中国支部連合大会, 12-2, 宇部, 2015 年 10 月 17 日.
- [8]. 伊藤信之, 辻大輝, 板野由佳, 森下賢幸, 小椋清孝, 吉富貞幸, “ストライプ形状のインダクタの高周波特性とそれを用いた電圧制御発振器の特性,” 信学技報, vol. 115, no. 260, MW2015-113, pp. 97-102, 2015 年 10 月.

謝辞

筆者は2008年(株)東芝 セミコンダクター社(現:東芝メモリ(株))に入社し、2011年10月から社会人研究生として岡山県立大学と共同研究を始めました。後、2013年4月に同大学 情報工学研究科システム工学専攻に入学しました。

本研究が博士論文の執筆まで到達いたしましたのは、岡山県立大学情報工学部 集積回路工学研究室 伊藤信之教授に6年半の長きに渡り、親切にご指導頂いたおかげです。心より感謝申し上げます。また、共同研究者の同研究室 卒業生 森本正太郎君、辻大輝君、小川巧馬君、在校生 北野大志君、坂本裕太君のご協力に深く感謝いたします。

本論文をまとめるにあたり有益なご助言を頂きました、岡山県立大学情報工学部 有本和民教授、末岡浩治教授、森下賢幸准教授、小椋清孝助教に深く感謝いたします。

会社員でありながら、大学院進学之机を頂いた(株)東芝 セミコンダクター社と東芝メモリ(株) 吉富貞幸博士に深謝いたします。また、同社 君島秀樹氏、星野洋昭氏、藤井史恵氏の研究へのご協力に深く感謝申し上げます。

最後に、大学院進学を理解し生活を支えてくれた夫、妊娠中から産後の子守までお世話になった両親と、2017年3月8日に元気に産まれた娘 澄香の協力と応援に深く感謝いたします。

2018年3月 板野由佳